

Nekonvenční technologie pro číslicové systémy

Radek Tesař

3. ročník, kombinované studium

Školitel Richard Růžička

VUT Brno, fakulta informatiky

Božetěchova 2, Brno

itesar@fit.vutbr.cz

Abstrakt—V současné době je většina výpočetních strojů založena na prvcích na bázi anorganických polovodičivých materiálů, jako je křemík. Takovými prvky jsou nejčastěji tranzistory v roli spínacích prvků, z nichž jsou postavena logická hradla, realizující základní boolovské funkce. Z hradel jsou pomocí prostředků syntézy sestavovány složitější obvody, které již mohou realizovat algoritmus nebo výpočet. Pro návrh takové (konvenční) elektroniky jsou známy automatizované postupy a jsou také známá řešení realizující řadu potřebných funkcí.

Na úrovni tranzistorů i hradel však existují alternativní řešení, která mohou do systému, v němž jsou použita, přinášet určité výhody. Na těchto úrovních lze ovlivnit především fyzikální vlastnosti výsledného produktu, například nároky na výrobní technologie, rozměry, možnost nasazení v různých prostředích, rychlost obvodů, nebo základní realizované logické funkce. To může přinášet výhodu v možnosti nových aplikací, konvenční elektronikou jen obtížně dosažitelných, případně úsporu nebo lepší vlastnosti aplikací existujících. Mezi nekonvenční technologie v tomto smyslu lze například počítat obvody založené na organických polovodičích, realizované metodami inkoustového tisku, využití elektrického chování některých netradičních a biologických materiálů, polovodičové prvky na bázi grafenu, nanotrubiček a další nanotechnologie, na úrovni hradel pak polymorfní elektronika. Polymorfní elektronika a její principy mohou být uplatněny zejména tam, kde chování základních struktur bude proměnné s ohledem na další parametry.

Klíčová slova—Ambipolární tranzistor, číslicová logika, organická elektronika, polymorfní elektronika, logické hradla, číslicové obvody.

I. ÚVOD

V současné době se v oblasti elektrotechniky stále více diskutuje o nových technologiích (nanotechnologiích, organických polovodičích, ambipolárních technologiích) a s tím spojené polymorfní elektronice [15]. Takové technologie jsou obecně nazývány jako *post-silicon devices*, protože využívají jiné typy polovodičů (organické polovodiče, nanodrátky z různých materiálů a podobně). Důvodem je, že někteří experti [8] uvádějí blížící se konec platnosti Moorova zákona během nejbližších několika let. Použití konvenčních křemíkových tranzistorů menších než asi 5nm by mohlo vykazovat vážné problémy při implementaci na čipu. Proto by zmenšování fotolitografické masky běžných CMOS obvodů nemělo smysl, případně by bylo zcela nemožné [19].

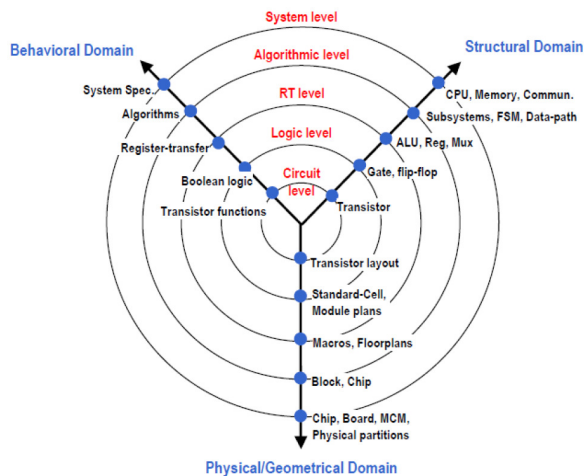
Post-silicon devices, jako jsou tranzistory na bázi uhlíkových nanotrubiček, grafenu a křemíkových nanodrátků,

organických monokrystalů, nebo heterostruktur považují někteří vědci jako odpověď na otázku zachování Mooreova zákona [4], [11], [1], [5], [16]. Tato zařízení slibují řešit požadavek na stále větší hustotu funkcionality integrovaných obvodů v závislosti na ploše čipu, spotřebě a dalších kritériích. Co by mělo být otázkou efektivnější implementace logiky? Zjednodušeně řečeno je to počet tranzistorů nutných k implementaci boolovské funkce (hradla). Zdá se, že CMOS logika je téměř dokonalá, co se týká „funkční hustoty“. V posledních desetiletích dochází jen k malému zdokalení základních logických hradel, což je nejlepším důkazem toho, že CMOS struktury jsou velmi blízko optimálnímu řešení a proto jsou velmi dobře funkční.

Klíčovým principem, jak jsme schopni navrhnout velmi složité systémy je rozklad. V oblasti digitálních obvodů je tento princip ztělesněn do slavného Gajski-Kuhn Y grafu [6]. Desítky let zkušeností v oblasti digitálního obvodů nám ukazují, že čím větší zlepšení v nižší hierarchii Y-grafu dosáhneme, tím účinnější bude, navíc většinou za nižší cenu. Důvodem je to, že nižší úrovně abstrakce se skládají z obvykle mnoha stejných jednoduchých struktur, takže jednoduché (a levné) zlepšení struktury je opakováno mnohokrát. Naopak, změny provedené na vyšší úrovni abstrakce, musí být typicky sofistikovanější a potřebují více znalostí pro konkrétní aplikaci. Jedním ze zajímavých nápadů jak zvýšit hustotu funkce je takzvaná polymorfní elektronika [20]. Tento přístup byl navržen týmem A. Stoicy v NASA JPL přibližně před 15ti lety. Hlavní myšlenkou polymorfního obvodu je mít jednoduchou strukturu (obvod), který je schopen provádět více než jednu logickou funkci v závislosti na stavu prostředí daného obvodu. Změna funkce obvodu je dána změnou logické funkce v návaznosti na změně prostředí, přičemž propojení obvodu zůstává nezměněno.

Polymorfní elektronika se tedy zkoumá (např. [22]), nicméně v pozadí zůstává teoretický vývoj této oblasti. Pro polymorfní obvody totiž nelze použít běžné návrhové metody a logiku. Většina vědeckých skupin, zabývajících se takovou elektronikou, proto používá k realizaci polymorfních obvodů různé formy genetických algoritmů, rozhodovacích stromů a podobně [17]. Chybí však teoretický základ pro polymorfní elektroniku, logické vazby a v návaznosti na to pak rozhodnutí, pro jakou třídu aplikací je taková elektronika vhodná.

Začal jsem tedy zkoumat vlastnosti polymorfních obvodů



Obrázek 1. Gajski-Kuhn Y-chart.

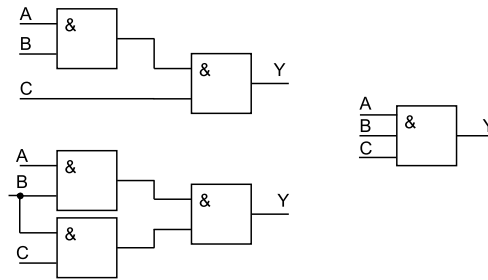
a pokusil jsem se nastínit logické závislosti polymorfismu v elektronických obvodech.

II. ÚVOD DO NEKONVENČNÍCH TECHNOLOGIÍ

Pro přehlednost budu v této části vycházet z Gajski-Kuhn Y-chart metodologie ([7]) na obrázku 1 a postupovat vzestupně v jednotlivých úrovních diagramu. Tento diagram byl vytvořen v roce 1983 pro návrh konvenčních integrovaných obvodů, nicméně jej můžeme s malými změnami použít i pro nekonvenční technologie.

Zajímat nás bude strukturální model a model chování. Budeme postupovat od nejnižší vrstvy k vyšším, až do úrovně RT Level. Na jednotlivé úrovně pak můžeme nahlížet následovně:

- Circuit level – na této úrovni lze u nekonvenčních technologií nalézt použití nových materiálů. Příkladem mohou být organické polovodiče, křemíkové nanodrátky, grafen, a podobně. Zkoumání vlastností takových materiálů dalo vzniknout tranzistorům s křemíkovými nanodrátky, grafenovým nebo OFET tranzistorům atd. Takové tranzistory pak vykazují do té doby nepoužívané nebo málo známé vlastnosti, které pak vedly k dalším výzkumům, jak je co nejlépe využít.
- Logic level – na této úrovni se dosud typicky modelovala polymorfni elektronika a to převážně ve strukturální doméně, v behaviorální se příliš nemodelovala. Spíš než polymorfni operátory v rovnicích se používalo n samostatných rovnic pro popis n funkcí. První metodu syntézy která konvertuje dvojici rovnic na jedinou, obsahující polymorfni operátory navrhl A. Crha [3]. Z ní pak lze odvodit jednu strukturu. Polymorfni elektroniku původně A. Stoica nazval „polytronics“ [21] a její principy mohou být uplatněny zejména tam, kde chování základních struktur bude proměnné s ohledem na další fyzikální veličiny (změna teploty, napájecího napětí, polarity a podobně). Stoica také definoval polymorfismus na úrovni hradel (logic level) a navrhl několik základních polymorfni hradel tvořených unipolárními tranzistory.



Obrázek 2. Různá schémata zapojení téhož obvodu.

Důvodem, proč dosud byla polymorfni elektronika modelována na logické úrovni je fakt, že níž už nebylo možné mít multifunkční číslicové prvky, tedy prvky s diskretním chováním. Na obvodové úrovni byly CMOS tranzistory, a ty, pokud měly měnit funkci, se musely chovat analogově. Obdobné polymorfni hradlo navrhl Sekanina a kolektiv [18]. Všechna tato hradla však trpí určitými nedostatky – velká spotřeba v důsledku výše zmíněné analogové činnosti tranzistorů nepracujících ve spínacím režimu, větší plocha v důsledku většího množství použitých tranzistorů, atd.

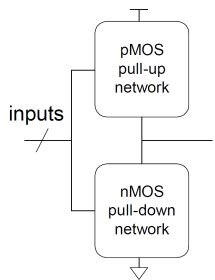
A. Strukturální model a model chování

Pojmem strukturální model (Structural Domain) rozumíme schéma zapojení (jak jsou jednotlivá hradla nebo bloky propojeny). Strukturální model lze zobrazit různými stromy. Určuje tedy propojení bloků (schéma zapojení nebo motiv DPS). Na rozdíl od toho model chování (Behavioural Domain) určuje funkci bloků nebo hradel. Zápis $Y = A \wedge B \wedge C$ je popis modelu chování, zatímco všechna tři schéma zapojení na obrázku 2 jsou strukturálními modely pro tento model chování. Z uvedeného je zřejmé, že při návrhu elektroniky může mít jeden model chování více strukturálních modelů.

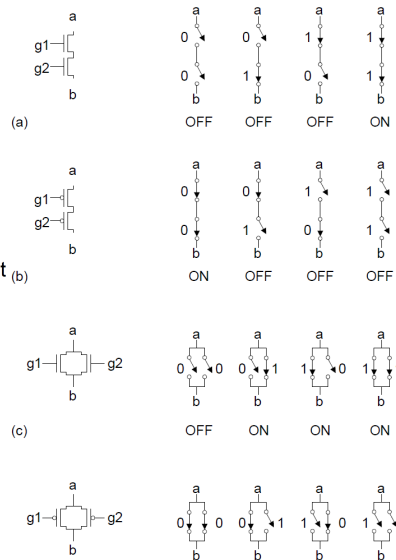
U polymorfni elektroniky pak na rozdíl od konvenční elektroniky pro stejný strukturální model existuje díky možnosti záměny funkce jednotlivých komponent více modelů chování v různém čase. Konvenční elektronika může mít vždy jen jeden model chování ve všech časových okamžicích, zatímco polymorfni elektronika může mít v různých časových okamžicích různé modely chování pro jeden strukturální model. Chování polymorfniho obvodu však není nedeterministické, který model chování je v daném okamžiku platný určují jednoznačně vnější podmínky, na které reagují komponenty obvodu.

III. CIRCUIT LEVEL

Chování na obvodové úrovni je popsáno matematicky pomocí diferenciálních rovnic. To odpovídá struktuře propojených tranzistorů a dalších elektrických prvků ve strukturální doméně. Pro účely návrhu číslicových obvodů však lze na obvodové úrovni přijmout určitou abstrakci tak jak je popsána například v [26] (obrázek 3) a modelovat tranzistory jako spínače (obrázek 4). Díky tomu je možné považovat tranzistory za diskretně fungující prvky a popsat proto velmi snadno statické chování například hradla, aniž by byl k dispozici



Obrázek 3. Struktura komplementárního MOS hradla [26].



Obrázek 4. Sériové (a, b) a paralelní (c, d) řazení struktury MOS hradla [26].

kompletní model tranzistoru v podobě rovnic. Díky tomu nám pak nic nebrání popsat takto chování libovolného logického hradla, bez vazby na konkrétní technologii.

Na obvodovou úroveň patří především tranzistory a prvky tvořené anorganickými polovodiči, nanotechnologie, grafenové materiály a podobně. V současné době to je nejvíce rozvíjená oblast nekonvenčních technologií. Důvodem je již zmiňovaná možnost konce platnosti Moorova zákona v důsledku blížícího se „vyčerpání“ možností křemíkových technologií. Proto se hledá, čím nahradit stávající know-how v oblasti digitálního návrhu (digital design) právě na této úrovni. Pokud by se to podařilo, vše ostatní na vyšších úrovních by zůstalo původní. Dalším důvodem použití takových technologií může být například výše zmíněný přímý tisk elektronických obvodů, nebo tvorba ohebných (flexibilních) elektronických obvodů.

A. Logic level

Logická úroveň je popsána v doméně chování pomocí booleovských rovnic. V strukturální doméně je zobrazena jako struktura propojených hradel a klopných obvodů. Zde se poprvé setkáváme s polymorfními obvody. První polymorfní obvody navrženy A Stoicou ([22]), L. Sekaninou ([18]) a dalšími z anorganických polovodičů, se však brzy ukázaly jako ne příliš ideální. Jedním z důvodů je, že nepracují v spínací oblasti jako CMOS obvody a mají proto mnohem větší spotřebu. Dále je třeba k vytvoření polymorfního hradla více tranzistorů. Například hradlo použité v obvodě REPOMO32 obsahuje 8 tranzistorů, zatímco konvenční hradlo NAND nebo NOR má 4 tranzistory každé. V tabulce I je přehled existujících polymorfních hradel, způsob přepínání realizovaných funkcí a počet tranzistorů, ze kterých je dané hradlo sestaveno.

Při realizaci polymorfních hradel a následně polymorfních obvodů existuje otázka, k čemu jsou tyto obvody vhodné a

Gate	Control	Ctrl'd by	Size	Ref
NAND/NOR	3.3/1.8 V	V_{dd}	6	[22]
AND/OR	1.2/3.3 V	V_{dd}	8	[21]
NAND/NOR	5/3.3 V	V_{dd}	8	[13]
AND/OR	27/125 C	temperature	6	[20]
AND/OR	5/90 C	temperature	8	[20]
NAND/NOR	0/5 V	ext. voltage	10	[10]
NAND/NOR	5/0 V	ext. voltage	8	[12]
NAND/NOR	5/0 V	ext. voltage	10	[12]
NAND/XOR	5/0 V	ext. voltage	9	[12]
AND/OR	0/3.3 V	ext. voltage	6	[20]
AND/OR/XOR	3.3/1.5/0 V	ext. voltage	9	[20]
NAND/NOR	0/5 V	ext. voltage	10	[28]

Tabulka I

PŘEHLED EXISTUJÍCÍCH POLYMORFNÍCH HRADEL.

podle jakého klíče lze hodnotit jejich výhodu nebo nevýhodu proti klasickým elektronickým obvodům.

B. RT level

Na RT úrovni jde v podstatě už o aplikace polymorfní elektroniky, která se musí řešit jako stavební bloky. Příkladem takových bloků může být návrh samoopravující se sčítačky, polymorfního obvodu parita/majorita, nebo polymorfního multiplexoru (pro realizaci polymorfního multiplexování nebo pro syntézní metodu A. Crhy [2], kde je použit polymorfní operátor v podobě polymorfního multiplexoru). Na RT úrovni se však zatím nikdo systematicky nezabýval návrhem nějaké „rozumné“ sady polymorfních bloků. Doposud existuje jen několik izolovaných aplikačně specifických návrhů.

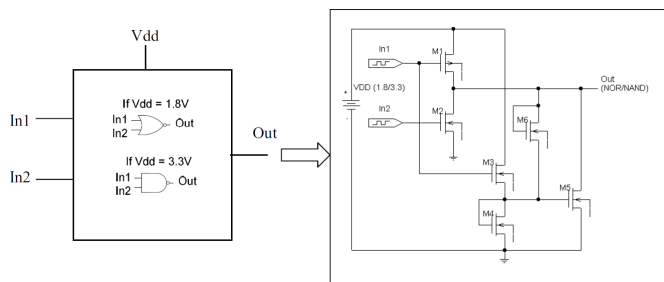
Z takových základních bloků je pak možno vytvářet složitější prvky. Několik příkladů složitějších prvků je možno najít v i konvenčních řadách logických obvodů 4000 nebo 74xx (například sčítačky 7482, 7483, ALU 74181, obvod předvídání přenosu 74182, násobičky 74274, 74284, 74285 a podobně). Původně byly tyto řady vytvořeny jako sada logických hradel (tedy odpovídající logické úrovni). V důsledku častého opakovaného používání stále stejných složitějších prvků pak byly následně tyto „vyšší“ prvky zařazeny do uvedených řad logických obvodů.

IV. POLYMORFNÍ OBVODY

Jak bylo řečeno, polymorfní obvody jsou schopny záměrné a definované změny funkce za různých podmínek [17]. Příkladem může být změna logického hradla z funkce NAND na NOR, při změně teploty, nebo úrovně napájecího napětí (viz například REPOMO32 [18]). Návrhy na praktické využití polymorfismu v elektronice se objevují již několik let. Neexistuje však zatím teoretický základ polymorfních obvodů, který by umožnil zkoumání vlastností polymorfních funkcí, případně tříd problémů, pro které je tato logika vhodná. Proto jsem se zaměřil i na tuto oblast.

Nejprve se podíváme jak definoval Richard Růžička polymorfní obvod [14]:

Definice 1. [14] Polymorfní obvod je možné reprezentovat acyklickým grafem $G = (V; E; \phi)$, kde V je množina



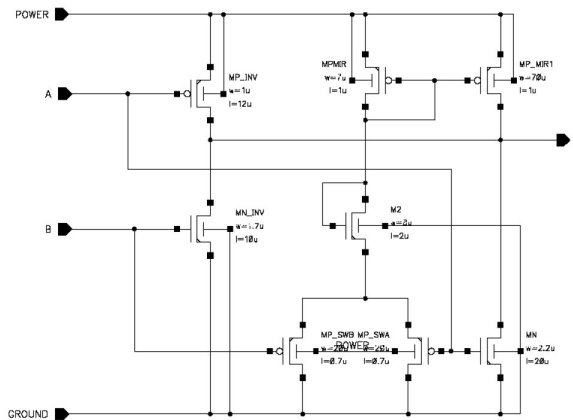
Obrázek 5. Schéma zapojení polymorfního hradla A. Stoicy [22].

uzlů (hradel), $E = (a, b) | a, b \in V$ je množina hran (spojů obvodu) a $\phi = \varphi_1, \dots, \varphi_n$ je množina zobrazení, přičemž platí $\phi > 1$. Každé zobrazení $\varphi_i \in \phi$ přiřadí každému vrcholu z V komponentu (hradlo) z množiny K , $\varphi_i : V \rightarrow K$, pro $\forall i = 0 \dots n$.

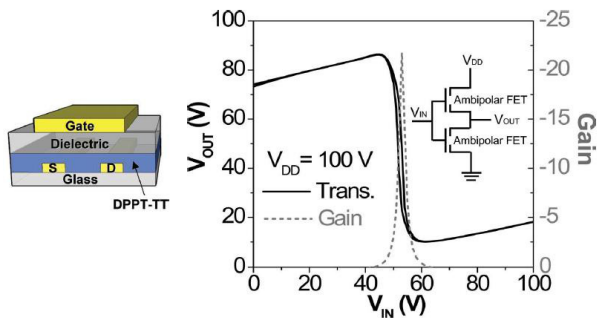
U stávajících polymorfních obvodů tvořených křemíkovými tranzistory končí číslicový návrh na úrovni hradel, na úrovni tranzistorů je již potřeba analogový návrh. Příkladem je například hradlo [22] navržené A. Stoicou a kolektivem (obrázek 5). Toto hradlo vzniklo v laboratořích NASA při experimentech s evolučním návrhem elektronických obvodů. Na FIT VUT v Brně bylo navrženo polymorfní hradlo ve spolupráci s Ing. Romanem Prokopem, Ph.D. z Ústavu mikroelektroniky FEKT VUT v Brně a jeho schéma zapojení je na obrázku 6. Obě tyto hradla, stejně jako všechny ostatní stávající polymorfní hradla jsou navrženy analogově. U analogového návrhu hraje mimo jiné důležitou roli délka a šířka kanálu (fyzický rozměr gate elektrody), což ovlivňuje vodivost kanálu. Analogový návrh však negativně ovlivňuje spotřebu obvodu – v důsledku trvale pootevřených tranzistorů prochází takovým obvodem stálý proud, ale stejně tak negativně ovlivňuje vstupní a výstupní charakteristiky. Pro ideální hradlo tedy vyžadujeme:

- Vysoký vstupní odpor, aby hradlo málo zatěžovalo předcházející obvody.
- Nízký výstupní odpor, aby byly výstupní logické úrovně blízko potenciálu zdroje, bez ohledu na zatížení výstupu hradla.
- Je nutná krátká propagace signálu ve vstupu na výstup.
- Akceptace logických úrovní platných pro logická hradla a výstupní úrovně ve stejném rozsahu.
- Nízká spotřeba a malé rozměry.

U konvenčních (ne-polymorfních) digitálních obvodů lze ale hovořit o číslicovém návrhu ještě na úrovni tranzistorů, protože i tranzistory, které se dnes používají pro číslicové obvody (tedy především tranzistory CMOS), lze považovat z pohledu jejich uplatnění v číslicových obvodech za diskrétně se chovající prvky (pracujeme s nimi jako se spínači). Technologie CMOS byla navržena již v roce 1963 pracovníkem firmy Fairchild Semiconductors (a v roce 1967 patentována jako US patent No.



Obrázek 6. Schéma zapojení polymorfního hradla REPOMO [18].



Obrázek 7. Schéma ambipolárního tranzistoru (vlevo), přechodová charakteristika a zesílení invertoru.

3,356,858 [25]). Typické hradlo, vyrobené technologií CMOS, obsahuje komplementární dvojici unipolárních tranzistorů (p-MOS a n-MOS), jak je naznačeno na obrázku 3.

V. AMBIPOLÁRNÍ TRANZISTORY

Pro konstrukci ambipolárních tranzistorů se používá organický polovodič, uhlíkové nanotrubičky, grafen, a podobně. Na obrázku 7 je vidět ambipolární tranzistor, který je tvořen Diketopyrrolopyrrole-Thieno [3,2-b]thiophene kopolymerem [27]. Strukturu tohoto tranzistoru tvoří organický polovodič D-A kopolymer DPPT-TT.

Vpravo na obrázku 7 je přechodová charakteristika a zesílení komplementárního invertoru tvořeného dvěma stejnými tranzistory. Díky ambipolaritě tranzistorů se jeden z nich chová jako tranzistor typu P a druhý jako typu N. Této vlastnosti pak lze dále využít při konstrukci polymorfních hradel.

V současné době jsou sice ambipolární tranzistory předmětem intenzivního vývoje, ale doposud nebyly běžně dostupné. Proto nelze jednoznačně definovat jejich typické vlastnosti (např. životnost, stabilitu, charakteristiky atd). Z tohoto důvodu jsem musel nejprve vytvořit pro účely simulace a ověření funkčnosti model ambipolárního tranzistoru (prezentoval jsem jej například v [23]) a pro všechny pokusy s polymorfními nebo rezistentními hradly byly použity ambipolární tranzistory sestavené z křemíkových mosfet tranzistorů

podle tohoto schéma zapojení. Různí se také názory na použití materiálů, ze kterých jsou tyto tranzistory tvořeny, stejně jako použitá výrobní technologie.

VI. HYPOTÉZA

Předpokládejme, že existují ambipolární tranzistory, jak jsme je analyzovali v předchozím textu. Nasazení takových ambipolárních tranzistorů jako základních stavebních bloků polymorfních hradel dovolí navrhnout takovou metodu návrhu polymorfních hradel, která povede k efektivnější implementaci polymorfních hradel realizujících dvě logické funkce (co do počtu tranzistorů) a ke zlepšení některých jejich statických i dynamických parametrů oproti hradlům navrženým z běžných křemíkových tranzistorů. Bude se jednat o uplatnění číslicového návrhu již na úrovni tranzistorů (dosud se polymorfní hradla navrhovala na úrovni tranzistorů jako analogový obvod, číslicový návrh se uplatnil až na úrovni hradel).

Poznámka: Bude tedy navržena sada polymorfních a konvenčních hradel, užitečných pro zvolenou metodu syntézy polymorfních obvodů a navržená hradla budou nezávislá na konkrétní technologii výroby použitých ambipolárních tranzistorů.

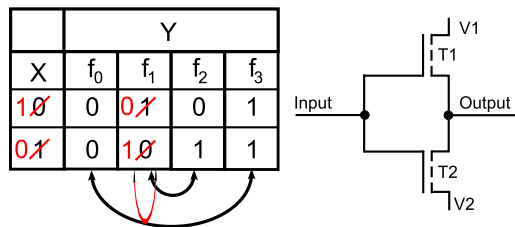
VII. CÍLE

U stávajících polymorfních obvodů s křemíkovými tranzistory končí číslicový návrh na úrovni hradel, na úrovni tranzistorů už je potřeba analogový návrh. U konvenčních (nepolymorfních) digitálních obvodů ale lze hovořit o číslicovém návrhu ještě na úrovni tranzistorů, protože i tranzistory, které se dnes používají pro číslicové obvody (tedy především tranzistory CMOS), lze považovat z pohledu jejich uplatnění za diskrétně se chovající prvky (pracujeme s nimi jako se spínači).

My teď vyslovujeme hypotézu, že díky ambipolaritě lze i u polymorfních obvodů dělat číslicový návrh až na úroveň tranzistorů – je možné polymorfní hradlo navrhnout jako efektivní implementaci číslicovým návrhem, bez analogového návrhu, protože i zde půjde o číslicový návrh, pokud použijeme ambipolární tranzistory. Změna funkce nebude realizována změnou pracovních bodů tranzistorů, ale díky jejich ambipolaritě právě překlopením samotného tranzistoru z jednoho režimu do druhého. Ambipolární tranzistor v principu má dva režimy, to lze považovat za diskrétní chování a právě proto je zde možné ještě zůstat u číslicového návrhu.

Tím získáme kromě výhody čistě číslicového návrhu také možnost zjednodušit „základní stavební kámen“ (polymorfní hradlo). Zjednodušením elementárních prvků pak docílíme výrazné úspory co do počtu tranzistorů i plochy čipu na všech úrovních. Dalšími výhodami takového návrhu je významné snížení spotřeby celého obvodu (návrh neobsahuje žádné analogové prvky, proto jsou všechny tranzistory v klidu vždy v jednom ze dvou stavů: Plně otevřen, nebo plně uzavřen). To přináší také snadnější implementaci a vyšší spolehlivost obvodu, dále pak zvýšení odolnosti a šumové imunity.

Zkoumáním chování a uplatnění ambipolárních tranzistorů jsem objevil souvislost s takzvanými Booleho duálními funkcemi, pro které je zřejmě možné vytvářet polymorfní hradla



Obrázek 8. Realizace duální funkce (negace), vpravo hradlo, které ji realizuje

snadněji než pro jiné. Polymorfní hradla realizující tyto funkce jsou tedy konstrukčně nejjednodušší a nejmenší, co se týká počtu tranzistorů. Důvodem je, že vychází z konvenčních (minimalizovaných) CMOS hradel a všechny použité ambipolární tranzistory jsou využity v obou funkcích. Dále je však možné vytvářet polymorfní hradla, které realizují i jiné kombinace funkcí.

Duální funkci dostaneme při zachování zapojení obvodu a přepnutí polymorfního hradla do druhého stavu. Máme-li například polymorfní hradlo, které mění funkci změnou polaroty napájení, pak toto hradlo změnou napájení realizuje duální funkci k funkci f_n , kterou budeme značit $d(f_n)$. Duální funkci dostaneme negací všech vstupních i výstupních proměnných, tedy $f_1(\bar{x}) = f_2(x)$.

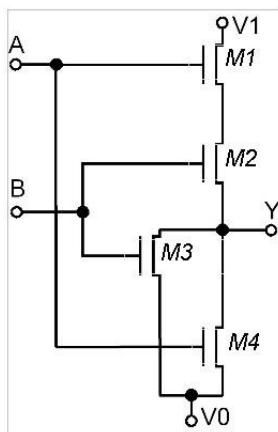
Duální funkce se může zobrazit sama na sebe – takzvaná self dual funkce. Pokud takovou funkci realizujeme pomocí ambipolárních tranzistorů, dostaneme takzvané rezistentní hradlo. Nejjednodušším případem je invertor na obrázku 8 vpravo. Druhou možností je zobrazení na negaci funkce. Totéž dostaneme použitím invertoru, což ale zvýší složitost obvodu. Příkladem je tautologie na obrázku 8, která se zobrazí na kontradikci. Poslední možnost je zobrazení na jinou funkci. Z hlediska polymorfních obvodů nás zajímá především poslední případ.

Cílem je tedy prokázat nebo vyvrátit hypotézu.

VIII. DOSAVADNÍ PRÁCE

Pro svoji práci jsem vybral polymorfní hradla řízená změnou polaroty napětí z několika důvodů. V první řadě se jedná o novou a neprozkoumanou oblast. Doposud se polymorfní hradla řídila převážně změnou úrovně napájecího napětí, nebo pomocným řídicím signálem, méně často pak změnou teploty hradel, experimentálně se zkoumají také jiné fyzikální veličiny (například světlo). Pro hradla řízená změnou polaroty napětí se také jeví jako velmi vhodné ambipolární tranzistory, pro které doposud nebylo praktické využití.

Dále je výzvou vytvořit hradla s takto neobvyklým chováním. Doposud změna polaroty napájení u číslicové techniky znamenala vždy okamžité zničení daného obvodu. U takto navržených hradel nejen nedojde k jejich zničení, ale navíc tím dosáhneme záměrného rozšíření jejich funkce. Použití hradel rezistentních na změnu polaroty napájení v konvenční elektronice by pak mohlo přinést zajímavou vlastnost takových obvodů a to je možnost napájet tyto obvody střídavým napětím bez vlivu na funkci takového obvodu, nebo vypuštění obvodu ochrany proti přepólování.



Obrázek 9. Polymorfní hradlo NAND/NOR vytvořené z ambipolárních tranzistorů.

Jak již bylo uvedeno výše, určitá část obvodu realizuje stejnou funkci při všech stavech prostředí daného polymorfního obvodu. Tato část tedy nesmí reagovat na změnu prostředí (přepnutí polymorfního obvodu) změnou funkce. Proto je nutno vyvinout rezistentní hradla, která budou takové změně odolná. Rezistentní hradla která jsem vytvořil a prezentoval v [23] tyto vlastnosti splňují. Jedná se o hradla NAND a NOR (obě funkce realizují úplný logický systém), lze tedy jejich pomocí realizovat jakoukoliv jinou logickou funkci.

Na obrázku 9 je schéma zapojení polymorfního hradla realizující funkce NAND/NOR, přepínané polaritou napájecího napětí. Toto polymorfní hradlo je vytvořeno z ambipolárních tranzistorů, splňuje tedy výše uvedené požadavky na nová polymorfní hradla, navržená čistě číslicovým návrhem. Současně je toto hradlo vhodné pro algoritmickou syntézní metodu A. Crhy [3], protože výstupem jeho metody jsou polymorfní členy NAND/NOR. Toto hradlo obsahuje pouze 4 tranzistory. V tabulce I je možno porovnat polymorfní hradla realizující stejné logické funkce vytvořená pomocí CMOS tranzistorů, přičemž žádné z nich nemá méně než 6 tranzistorů. Uvedené hradlo také potvrzuje moji úvahu o duálních funkcích, protože funkce NAND a NOR jsou duální funkce. *Změna režimu ambipolárních tranzistorů použitých v logickém hradle tedy vede na přechod mezi dvojicí duálních funkcí.*

Pro tvorbu polymorfních logických funkcí budeme dále potřebovat také hradla identita/negace a dvouvstupý multiplexor. Základ pro jejich využití položil A. Crha [3], kde prezentuje algoritmickou metodu syntézy polymorfních obvodů. Výsledkem takové syntézy je rovnice, využívající polymorfní hradla NAND/NOR, zde prezentované ID/NOT a takzvaný polymorfní operátor, což je dvouvstupý polymorfní multiplexor opět zde prezentovaný. Ostatní logické funkce musí být rezistentní změně prostředí (většinou se jedná o NAND nebo NOR hradla), které jsem také prezentoval.

IX. ZÁVĚR

V předloženém pojednání jsme se zabývali problematikou polymorfní elektroniky, ambipolárních tranzistorů, návrhu

vhodných stavebních prvků (hradel) pro takovou elektroniku a oblast jejího použití. Současně s tím vyvstává nutnost vytvoření metodiky návrhu takových hradel. Díky ní pak bude možno tvořit další polymorfní hradla na obvodové úrovni (propojení tranzistorů takového hradla) tak, aby se jednalo o čistě číslicový návrh. Tím získáme kromě výhody čistě číslicového návrhu také možnost zjednodušit polymorfní hradla. Zjednodušením elementárních prvků docílíme výrazné úspory co do počtu tranzistorů i plochy čipu na všech úrovních. Dalšími výhodami takového návrhu je snížení spotřeby celého obvodu (návrh neobsahuje analogové prvky, proto jsou všechny tranzistory v klidu vždy v jednom ze dvou stavů: Plně otevřen, nebo plně uzavřen). To přináší také snadnější implementaci a vyšší spolehlivost obvodu, dále zvýšení odolnosti a šumové imunity. Navíc navržená hradla budou nezávislá na konkrétní technologii výroby použitých ambipolárních tranzistorů.

Byly rozebrány problémy současných polymorfních hradel, dosud navrhovaných výhradně z anorganických polovodičů. Díky skutečnosti, že tyto polovodiče nejsou polymorfní, je to nutno při návrhu uvedených hradel vzít v úvahu a vytvořit takovou strukturu, která bude realizovat polymorfní chování tohoto hradla. Jediná možnost, jak toho dosáhnout s polovodiči, které mají jedinou pevně danou funkčnost je vytvořit analogový obvod. Toto již není číslicový návrh a pro jeho realizaci je nutno zasahovat do struktury tranzistorů (například měnit délku a šířku kanálu použitých tranzistorů atd).

Uvedený problém by mohly pomoci vyřešit ambipolární tranzistory, což jsou tranzistory vytvořené z nekonvenčních materiálů (organických polovodičů, nanodrátků z různých materiálů, grafenu a podobně). Jejich dosud nevyužívanou vlastností je ambipolarita – schopnost chovat se za určitých okolností jako polovodič typu N, zatímco za jiných jako polovodič typu P. Tato vlastnost nám pak umožní posunout čistě číslicový návrh o úroveň níž na Gajski-Kuhn Y-grafu, tím snížit složitost daného obvodu (zvýšit jeho funkční hustotu).

V další práci se budu zabývat ověřením hypotézy pomocí navržené sady polymorfních a rezistentních hradel, vytvoření metodiky jak navrhovat další taková hradla a s tím související závislost složitosti navrhovaných hradel na realizovaných funkcích. To bude vyžadovat také určitou formalizaci (například zobecnění polymorfismu, možnost využití vícefunkčních hradel, a podobně). V současné době existuje možnost vytvoření návrhových pravidel formou algoritmické metody, ale za úvahu stojí i metoda brute force a s jejím pomocí vytvoření lookup tabulky hradel. Cílem je také definovat, pro jakou třídu aplikací lze využít polymorfní elektroniku, případně kde se již využití takové elektroniky nevyplácí.

REFERENCES

- [1] A. et al. Colli. “Top-gated silicon nanowire transistors in a single fabrication step”. In: vol. 3. 6. ACS Nano, 2009, pp. 1587–1593.

- [2] Adam CRHA, Richard RŮŽIČKA, and Václav ŠIMEK. “Novel Approach to Synthesis of Logic Circuits Based on Multifunctional Components”. In: Cambridge: IEEE Computer Society, 2015, pp. 612–617. ISBN: 978-1-4799-8713-9.
- [3] Adam CRHA, Richard RŮŽIČKA, and Václav ŠIMEK. “Novel Approach to Synthesis of Logic Circuits Based on Multifunctional Components”. In: vol. 67. 1. ISSN: 1339-309X. Journal of Electrical Engineering. Berlin: Walter de Gruyter, 2016, pp. 1–12.
- [4] C. Dekker, S. J. Tans, and A. R. M. Verschueren. “Room-temperature transistor based on a single carbon nanotube”. In: vol. 393. 6680. Nature, 1998, pp. 49–52.
- [5] A. et al. Dodabalapur. “Organic heterostructure field-effect transistors”. In: vol. 269. 5230. Science, 1995, pp. 1560–1562.
- [6] Gajski, D. Daniel, and Robert H. Kuhn. “Guest Editors Introduction - New VLSI Tools”. In: IEEE Computer, 1983, pp. 11–14.
- [7] D.D. Gajski and R.H. Kuhn. “Guest Editors’ Introduction: New VLSI Tools”. In: vol. 16. 12. DOI: 10.1109/MC.1983.1654264. Computer, 1983, pp. 11–14.
- [8] S. Kumar. *Fundamental Limits to Moore’s Law*. Stanford University, 2015.
- [9] Yu-Ming et al. Lin. “Operation of graphene transistors at gigahertz frequencies”. In: *Nano letters*. Vol. 9. 1. LNCS Springer, 2008, pp. 422–426.
- [10] M. W. McDermott and J. E. Turner. “Configurable NAND/NOR Element”. In: vol. 5592107. United States Patent, 1997.
- [11] K. S. et al. Novoselov. “Electric field effect in atomically thin carbon films”. In: vol. 306. 5696. Science, 2004, pp. 666–669.
- [12] R Růžička. “On Bifunctional Polymorphic Gates Controlled by a Special Signal”. In: *WSEAS Transactions on Circuits*. Vol. 7. 3. Athens, 2008, 96–101.
- [13] R Růžička, L. Sekanina, and R. Prokop. “Physical demonstration of Polymorphic Self-checking Circuits”. In: *Proc. of the 14th IEEE IOLTS*. IEEE CS, 2008, 31–36.
- [14] R. Růžička. “Polymorfni elektronika”. In: *Habilitační práce*. Vol. 5. 14. DOI: 10.1021. UPSY FIT VUT v Brně, 2011, p. 118.
- [15] R. Růžička and V. Šimek. “Polymeric Polymorphic Electronics: Towards Multifunctional Logic Elements Based on Organic Semiconductor Materials”. In: *Proceedings of CSE 2012 International Scientific Conference on Computer Science and Engineerig, Košice, SK*. FEI TU v Košiciach, 2012, pp. 154–161. ISBN: 978-80-8143-049-7.
- [16] J. H. et al. Schön. “Ambipolar pentacene field effect transistors and inverters”. In: vol. 287. 5455. Science, 2000, pp. 1022–1023.
- [17] L. Sekanina. “Evolutionary Design of Gate-Level Polymorphic Digital Circuits”. In: *Applications of Evolutionary Computing*. DOI: 10.1007/978-3-540-32003-6-19. Springer – Verlag Berlin Heidelberg, 2005, pp. 185–194.
- [18] L. Sekanina et al. “REPOMO32 - New reconfigurable polymorphic integrated circuit for adaptive hardware”. In: *IEEE Workshop on WEAH '09*. doi: 10.1109/WEAH.2009.4925666. Evolvable and Adaptive Hardware, 2009, pp. 39 – 46.
- [19] T. Skotnicki, J.A. Hutchby, and H. S. P. et. al Wong. “The end of CMOS scaling: toward the introduction of new materials and structural changes to improve MOSFET performance”. In: *IEEE Circuits and Devices Magazine*. Vol. 21. 1. 2005, pp. 16–26.
- [20] A. Stoica, R. S. Zebulum, and D. Keymeulen. “Polymorphic electronics”. In: *Proc. of Evolvable Systems: From Biology to Hardware Conference*. Vol. 2210. LNCS Springer, 2001, pp. 291–302.
- [21] A. Stoica et al. “Taking evolutionary circuit design from experimentation to implementation: some useful techniques and a silicon demonstration”. In: *Proc. of IASTED International Conference on Applied Informatics (AI2002)*. Innsbruck, Austria, 2002.
- [22] A. et al. Stoica. “Taking evolutionary circuit design from experimentation to implementation: some useful techniques and a silicon demonstration”. In: *Computers and Digital Techniques*. Vol. 151. 4. DOI: 10.1049/ip-cdt:20040503. IEE Proceedings, 2004, pp. 295–300.
- [23] Radek TESARĚ, Richard RŮŽIČKA, and Václav ŠIMEK. “Resistant Gates for Polymorphic Electronics”. In: *Proceedings on UKSim-AMSS 8th European Modelling Symposium on Mathematical Modelling and Computer Simulation*. Vol. 16. 12. IEEE Computer Society, Pisa, 1983, pp. 513–518. ISBN: 978-1-4799-7411-5.
- [24] Kaliannan et al. Thiyagarajan. “Self-Induced Gate Dielectric for Graphene Field-Effect Transistor”. In: *ACS applied materials & interfaces*. Vol. 5. 14. DOI: 10.1021. ACS Publications, 2013, pp. 6443–6446.
- [25] F. M. Wanlass. “Low Stand-by Power Complementary Field Effect Circuitry”. In: vol. 3356858. United States patent, 1967.
- [26] N. H. E. Weste and D. Harris. *CMOS VLSI design: a circuits and system perspective, 3rd edition*. Pearson Education, Inc, 2005. ISBN: 0-321-14901-7.
- [27] Chen et al. Zhuoying. “High-Performance Ambipolar Diketopyrrolopyrrole-Thieno[3,2-b]thiophene Copolymer Field-Effect Transistors with Balanced Hole and Electron Mobilities”. In: vol. 24. DOI: 10.1002/adma.201102786. Advanced Materials, 2012, 647–652.
- [28] L. Žaloudek and L. Sekanina. “Transistor-level Evolution of Digital Circuits Using a Special Circuit Simulator”. In: *Proc. of Evolvable Systems: From Biology to Hardware*. Springer, Berlin, 2008, pp. 320–331.