

Využití rychlého offline testu v systému se schopností maskování jedné chyby

Jan Bělohoubek

2. ročník, prezenční studium

Školitel: Petr Fišer, Specialista: Jan Schmidt

Fakulta informačních technologií ČVUT

Thákurova 9, 160 00, Praha 6

jan.belohoubek@fit.cvut.cz

Abstrakt—V článku je představena nová metoda pro návrh systémů maskujících jednu chybu, která kombinuje redundanci v ploše a v čase. Schopnost maskování chyb je srovnatelná s TMR. Navržená metoda je porovnána s TMR z hlediska plochy čipu a je identifikována skupina obvodů, pro které je její použití vhodné.

Klíčová slova—Maskování jedné chyby, offline test, hradlo, redundance, říditelnost, pozorovatelnost, porucha, stuck-open/stuck-on

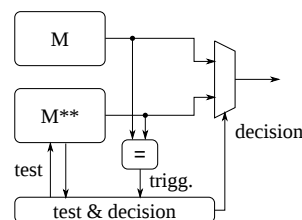
I. MOTIVACE

Spolehlivost je jedním z nejdůležitějších aspektů vývoje číslicových systémů. V centru pozornosti návrhářů jsou po léta metody pro *detekci a maskování chyb (error-detection and error-masking)* založené na multiplikaci funkčních bloků (*N-modular redundancy*). Výhodou použití těchto metod je přímočarost implementace, stejně jako dlouholeté zkušenosti s návrhem i provozem takových systémů [1].

Robustnost zmíněných metod lze dobře ukázat na nejjednodušším systému pro maskování jedné chyby na výstupu, který je složen ze tří totožných bloků – TMR (*Triple Modular Redundancy*). Systém TMR dokáže tolerovat jeden vadný modul ze tří za předpokladu, že oba zbývající moduly jsou bezchybné. TMR dovoluje maskovat chyby na výstupu způsobené jakýmkoli typem poruch – ať už se jedná o poruchy přechodné (*transient fault, soft-fault*) nebo trvalé (*permanent fault*) [1]. Výhodou TMR (i příbuzných metod) je, že k maskování chyb dochází bez významného vlivu na zpoždění v celém systému.

Nevýhodou metod založených na několikanásobném použití též částí je značný negativní vliv na využitou plochu čipu. Příbuzná metoda používaná pouze pro detekci poruchy potřebuje přibližně o třetinu menší plochu čipu – *duplex*. Uvážíme-li, že i v případě duplexu je při výskytu jedné poruchy (jedna část duplexu je vadná) k dispozici správný výsledek, může se přístup využívaný v TMR jevit nevhodně. Třetí modul v případě TMR slouží výhradně k výběru správného výsledku. Nový přístup k maskování chyb na výstupu systému prezentovaný v tomto článku umožňuje, za cenu malého zpoždění, vybrat správný (poruchou neovlivněný) výstup duplexu. Vlastností celého systému je, že přidané zpoždění se projeví pouze v případě detekce chyby. Schopnost maskovat chyby na výstupu je u navrženého řešení stejná jako

u TMR, přičemž využitá plocha čipu může být v některých případech znatelně menší. Konceptuální schéma navrženého systému je na obrázku 1.



Obrázek 1. Konceptuální schéma duplexu umožňujícího maskování chyb. Modul M^{**} lze otestovat velmi rychlým testem. Na základě výsledku provedeného testu dojde k výběru správného výstupu. Po provedení testu je proveden přepočítání (*recomputation*), aby byl vyloučen vliv přechodných poruch. Takový systém nazýváme *Time-Extended Duplex (TED)*

V oblasti testování logických obvodů je značným problémem délka testu. Není výjimečné, že délka testu se počítá v tisících testovacích vektorech [1]. Prezentovaná metoda z principu vyžaduje velmi krátký offline test se 100% pokrytím poruch (vzhledem k velmi přesnému poruchovému modelu). V případě, že by byl test příliš dlouhý, byla by doba nutná pro jeho vykonání (a tedy doba pozastavení výpočtu) neakceptovatelná. V případě neúplného pokrytí poruch by nebylo možno garantovat správnost rozhodnutí založeného na výsledku testu. Uvedené požadavky jsou dle současných poznatků v oblasti testování v přímém protikladu. Z těchto důvodů byly navrženy nové struktury (CMOS) umožňující provést extrémně krátký test se 100% pokrytím poruch vzhledem k tranzistorovému poruchovému modelu *stuck-open/stuck-on* (rozpojení/zkrat).

Zbytek článku je členěn takto: V sekci II jsou představeny základní principy krátkého offline testu a hardwarové struktury umožňující takový test provést. V sekci III jsou stručně popsány vlastnosti krátkého testu, který byl podrobně prezentován v [2] a [3]. V sekci IV je detailně popsán *Time-Extended Duplex* a v sekci V jsou prezentovány výsledky srovnání TED a TMR.

II. PRINCIP OFFLINE TESTU

Testování logických obvodů je založeno na tom, že od místa výskytu poruchy je na výstup obvodu propagován *příznak poruchy (fault symptom)*. Poruchové příznaky mohou být během propagace maskovány. Při použití základních hradel AND a OR pozorujeme, že příznak hodnoty 0 je dominantní vzhledem k hradlu AND (hradlo AND vždy propaguje hodnotu příznaku 0) a příznak hodnoty 1 je dominantní vzhledem k hradlu OR. Hodnoty příznaku poruchy, které nejsou dominantní, mohou být během propagace maskovány.

V případě, že výstup každého z hradel je připojen k alespoň jednomu hradlu AND a alespoň jednomu hradlu OR, dojde vždy k propagaci příznaku poruchy (*indication principle*) za předpokladu, že na vstupu takového obvodu je konstantní vektor (tj. vektor samých jedniček resp. vektor nul). Pokud obvod neobsahuje žádné invertory, je v případě bezporuchového stavu jeho výstup roven jeho vstupu (až na délku) – vektor jedniček, resp. vektor nul.

Pro kombinační obvod s výše uvedenými vlastnostmi existuje vzhledem k modelu *trvalá jednička/trvalá nula (stuck-at-fault model)* test, který se skládá pouze ze dvou testovacích vektorů – samé jedničky a samé nuly.

A. Konverze kombinačních obvodů

Aby byly splněny požadavky pro krátký test, je třeba provést konverzi obecného kombinačního obvodu.

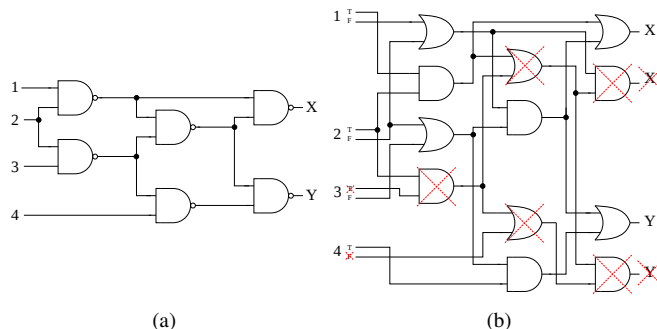
Libovolný kombinační obvod je možné snadno převést na obvod, který neobsahuje invertory. Toho lze dosáhnout použitím dvoudrátové logiky (*dual-rail logic*). Takový obvod obsahuje pouze hradla AND a OR [4].

Dále je potřeba zajistit, aby výstup každého hradla byl připojen jak k hradlu OR, tak k hradlu AND. Splnění této podmínky lze dosáhnout použitím rekonfigurovatelného hradla (hradlo se chová jako AND nebo OR) – podrobnosti viz [5], [2] a [3]. Použití rekonfigurace dovoluje propagovat příznak poruchy na výstupy, které mohou být poruchou ovlivněny (tj. umožňuje lokalizaci poruchy vzhledem k výstupu). Na druhou stranu, rekonfigurace sama komplikuje test (navíc je nutné provést test funkce rekonfigurace).

Vlivem použití dvoudrátové logiky dochází v modifikovaném obvodu k nárůstu počtu hradel – na obrázku 2a je obvod v klasické jednodrátové variantě (*single-rail*) složený z hradel NAND a na obrázku 2b jeho obraz v dvoudrátové variantě.

V případě, že se spokojíme pouze s jednodrátovými výstupy, je možné počet přidávaných hradel výrazně zmenšit. To je vidět na obrázku 2b, kde byla odebrána přesně polovina výstupů a také všechna hradla spojená pouze s odebranými výstupy. Výsledný obvod může mít po odebrání nadbytečných hradel v nejlepším případě dokonce stejný počet hradel, jako obvod před konverzí, a má minimálně stejný počet vstupů.

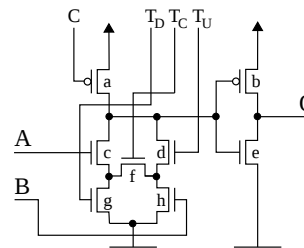
Jsou-li takto redukován obvod zřetězen, je samozřejmě nutné použít převodníky z jednodrátové na dvoudrátovou logiku. Ty jsou realizovány pouze invertory. Výsledný obvod se tedy skládá z pole invertorů na vstupu logiky, která invertory neobsahuje. Logiku bez invertorů lze otestovat velmi krátkým testem, avšak invertory je nutno testovat odděleně.



Obrázek 2. Příklad obvodu z hradel NAND (a) a jeho implementace ve dvoudrátové logice (b)

B. Rekonfigurovatelné hradlo

Rekonfigurovatelné hradlo je struktura navržená tak, aby přesně emulovala chování hradel AND a OR v *domino logice (domino logic)* [6] – viz obrázek 3. Výhoda domino logiky spočívá v tom, že většina struktury je tvořena tranzistory typu N. To platí jak pro klasickou domino logiku, tak pro navržené rekonfigurovatelné hradlo. Výsledná struktura je tudíž úsporná z hlediska plochy a zároveň zachovává zpoždění klasických domino hradel [6].



Obrázek 3. Navržené rekonfigurovatelné hradlo

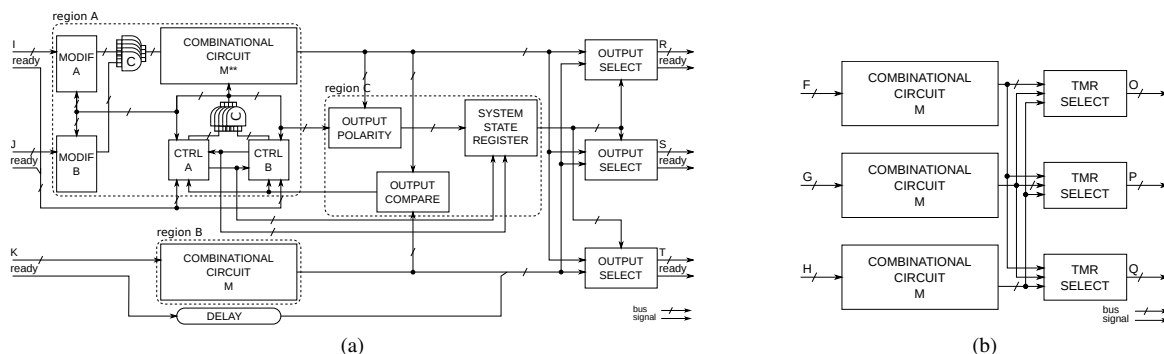
Tabulka I
NASTAVENÍ SIGNÁLŮ PRO FUNKČNÍ MÓD OR A AND

step	C	T _U	T _C	T _D	O
precharge	0	0	0	0	↓
evaluation OR	1	1	0	1	↕
evaluation AND	1	0	1	0	↕

Rekonfigurovatelné hradlo je vybaveno třemi řídicími signály: T_U, T_C a T_D. Jako ostatní domino hradla, i toto pracuje ve dvou fázích: *precharge*, během které dochází k přednastavení hodnoty 0 na výstup hradla a *evaluation*, během které jsou vyhodnoceny vstupy a nastaven výstup hradla. Nastavení signálů hradla pro funkční mód OR a AND jsou v tabulce I.

III. TEST STUCK-OPEN/STUCK-ON PORUCH

Je-li kombinační obvod realizován s použitím navržených rekonfigurovatelných hradel, je možné tento obvod otestovat velmi krátkým testem. Test popsán v [2] a [3] je rozšířením testu popsaného v sekci II.



Obrázek 4. Detailní schéma Time-Extended Duplexu (a) a TMR (b)

Test kombinační logiky využívá schopnosti rekonfigurace hradel a v několika po sobě následujících fázích testuje různé druhy poruch. Jednotlivé operace jsou prováděny vždy zároveň se všemi hradly, která mají stejnou hloubku. Postupuje se od primárních vstupů směrem k výstupu. Během testu hradla pomocí definované sekvence přechodů na řídicích signálech a primárních vstupech procházejí množinou stavů, přičemž výstup hradla se v konečném chybovém a bezchybném stavu liší. Test je navržen tak, že produkuje-li hradlo chybový výstup, jeho následovníci skončí též v chybovém stavu. Tímto způsobem dochází k propagaci poruch na primární výstupy kombinační logiky. Podrobný popis testu je uveden v [2] a [3].

Uvedený test má pokrytí všech poruch vzhledem k modelu *stuck-open/stuck-on* s výjimkou poruch *stuck-on* (zkrat) na tranzistorech označených b a e. Tyto poruchy lze však otestovat pomocí měření poruchového proudu (*fault-current measurement*).

V předchozích letech byly představeny zabudované senzory poruchového proudu – BICS (*Built-In Current Sensors*) [7], [8]. Výhodou použití BICS spolu s navrženým offline testem je, že proudový senzor musí monitorovat pouze jednu napájecí větev – tím dosáhneme snížení jeho velikosti.

Test kombinační logiky spolu s BICS má 100% pokrytí poruch vzhledem k modelu *stuck-open/stuck-on* a jeho délka závisí pouze na hloubce obvodu [2], [3]:

$$t \leq (3d + 4) \cdot t_e [+ 2 \cdot t_{BICS}], \quad (1)$$

kde d je hloubka obvodu, t_{BICS} je doba měření chybového proudu a t_e je rovno třem cyklům (hodinovým taktům). Měření poruchového proudu se může plně překrývat s prováděním testu, avšak použití BICS může, v závislosti na implementaci, znamenat další zpoždění.

IV. NAVRŽENÁ ARCHITEKTURA

Díky krátkému offline testu kombinační logiky je možné zkonstruovat systém schopný maskovat jednu chybu na výstupu. Protože je offline test velmi krátký a je aktivován pouze v případě výskytu chyby, je vliv na propustnost systému malý.

Podrobné schéma navrženého systému (Time-Extended Duplex – TED) je na obrázku 4a. TED obsahuje moduly M a M**. Modul M realizuje kombinační funkci a je implementován

stejným způsobem jako kombinační modul v TMR. Modul M** je funkčně ekvivalentní modulu M, je však realizován z navržených rekonfigurovatelných hradel. Modul M** je možno otestovat navrženým krátkým testem. V *regionu A* na obrázku 4a se dále nachází moduly MODIF, jež slouží jako generátor testu a zároveň jako konvertory jednodrátových signálů na signály dvoudrátové. Díky duplikaci modulů MODIF je možno detekovat poruchy v těchto modulech a případné rozdíly ve vstupních vektorech I a J. V *regionu A* se dále nachází řadič testu, který je navržen jako *self-checking* obvod – případná chyba v řadiči je detekována.

Region C obsahuje komparátor výstupů M a M** – OUTPUT_COMPARE, který slouží ke spuštění testu, dále modul OUTPUT_POLARITY, který slouží ke kontrole výstupu obvodu v testovacím módu a SYSTEM_STATE_REGISTER, jež uchovává informaci o poruchách detekovaných offline testem nebo o chybách detekovaných *self-checking* řadičem.

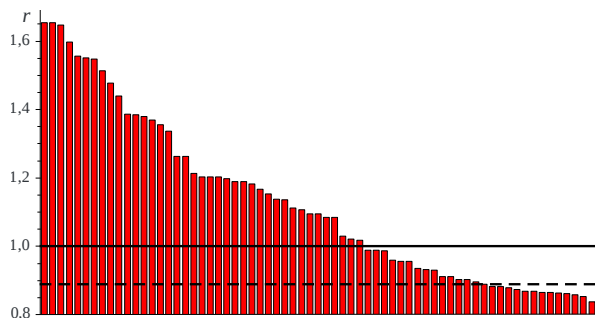
Moduly OUTPUT_SELECT slouží, podobně jako v případě TMR, k výběru správného výstupu. Rozhodnutí je založeno nejen na porovnání výstupů M a M**, ale navíc na informaci uložené v SYSTEM_STATE_REGISTER. Tento registr zároveň slouží pro redukci frekvence provádění testu v případě výskytu trvalé poruchy – pro výběr správného výstupu lze využít informace uložené v tomto registru a není potřeba opakovaně spouštět test. Vzhledem k možnému výskytu přechodných poruch je vhodné obsah SYSTEM_STATE_REGISTER (a řadič testu) periodicky resetovat. Tímto způsobem lze řídit propustnost TED.

V. EXPERIMENTÁLNÍ OVĚŘENÍ

Pro ověření použitelnosti metody a pro zhodnocení jejích vlastností bylo provedeno množství experimentů s použitím benchmarkových obvodů z těchto sad: *LGSynth'91* [9], *LGSynth'93* [10], *ISCAS'85* [11], *ISCAS'89* [12], a *IWLS 2005* [13] – viz [5], [2] a [3].

Pro srovnání různých přístupů byl vytvořen model reflektující vlastnosti hradel (vstupní kapacity, výstupní proud, velikost tranzistorů), vycházející z popisu hradla na tranzistorové úrovni [2], [3]. Zpoždění rekonfigurovatelných hradel pro funkci AND a funkci OR odpovídá přesně zpoždění hradel domino logiky. Velikost rekonfigurovatelných hradel je při témže zpoždění vyšší než u hradel domino logiky.

Na základě vlastností TED byla ze sady benchmarků vybrána skupina obvodů, jež umožňuje smysluplnou realizaci TED. Jsou to kombinační obvody, které mají větší velikost než logika TED a zároveň mají menší počet vstupů/výstupů. Počet vstupů/výstupů má totiž vliv na velikost komparátorů (*region C*) a tím významně ovlivňuje velikost a zpoždění TED. Pro podrobnější experimentální vyhodnocení byly vybrány obvody s alespoň 3k hradly a maximálně 15k vstupů/výstupů.



Obrázek 5. Srovnání TED a TMR pro 67 vybraných kombinačních obvodů. Na svislé ose je uveden poměr plochy implementací TED a TMR pro tytéž kombinační obvody: $r = \frac{|TED|}{|TMR|}$. Obvody jsou řazeny sestupně dle r .

S použitím modelu hradel bylo provedeno srovnání velikostí TMR a TED. TMR bylo pro všechny benchmarkové obvody realizováno dle obrázku 4b a TED dle obrázku 4a. TMR bylo implementováno v domino logice s použitím dvouvstupových hradel. TED byl realizován stejným způsobem, pouze klasická domino hradla byla v modulu M^{**} nahrazena hradly rekonfigurovatelnými.

Graf na obrázku 5 ukazuje výsledky srovnání pro 67 vybraných kombinačních obvodů zabezpečených pomocí TED a TMR. Výsledky ukazují, že pro přibližně 1/3 obvodů (plná čára na obrázku 5) je realizace TED z hlediska plochy výhodnější než realizace TMR [2], [3].

Na základě vyhodnocení vztahů mezi velikostmi různých bloků v TED a TMR byl empiricky stanoven výraz [2], [3]:

$$18 \cdot |\text{TMR_SELECT}| < |M| \quad (2)$$

Výraz (2) určuje vztah mezi velikostí modulů TMR_SELECT a M v TMR. Je-li tento vztah splněn, pak je z hlediska plochy čipu výhodnější realizace TED. Za předpokladu, že známe parametry implementace TMR v domino logice, umožňuje výraz (2) určit, zda je realizace TED výhodnější z hlediska plochy či nikoli. Na obrázku 5 se obvody, pro něž platí vztah (2) nacházejí pod přerušovanou čarou a tvoří přibližně 1/6 všech obvodů – vztah (2) je pesimistický.

VI. ZÁVĚR

V článku byly stručně představeny základní myšlenky nové metody pro návrh systémů schopných maskování jedné chyby na výstupu. Navržená metoda byla srovnána s TMR a byla určena skupina obvodů, pro něž je navrhané řešení výhodnější než TMR.

Nevýhodou navržené metody proti TMR je, že zpoždění a plocha komparátorů na výstupu kombinačních částí jsou přímo úměrné počtu výstupů – z toho důvodu je použití TED výhodné zejména pro obvody s menším počtem výstupů.

Z experimentů provedených s použitím velkého množství obvodů z několika benchmarkových sad vyplývá, že TED je vhodné použít zejména pro zabezpečení kombinačních obvodů s větší hloubkou – jejich velikost je výrazně větší než velikost přidané logiky TED. Empiricky byl odvozen jednoduchý vztah, který umožňuje určit, zda je (z hlediska plochy na čipu) pro daný kombinační obvod zabezpečení pomocí TED vhodnější než zabezpečení pomocí TMR.

Další výzkum se zaměří zejména na popis vlastností obvodů nutných pro realizaci velmi krátkého offline testu a na obvodové transformace umožňující významné zkrácení délky testu s minimálním vlivem na plochu a zpoždění obvodu. Pokusím se formulovat nutné a postačující podmínky krátkého testu.

V rámci řešení projektu “GA16-05179S” se budu zabývat implementací mikroarchitektury umožňující maskování chyb s minimálním vyzařováním postranními kanály. Cílem je navrhnout řešení, které bude odolné proti poruchám a omezí vyzařování postranními kanály v bezchybném provozu i v případě výskytu poruchy. Předpokladem je, že oprava chybné hodnoty se odehraje co nejbližší zdroji poruchy.

PODĚKOVÁNÍ

Výzkum byl částečně podpořen grantem GA16-05179S GA ČR a grantem ČVUT SGS16/121/OHK3/1T/18.

REFERENCE

- [1] I. Koren and C. M. Krishna, *Fault-Tolerant Systems*. San Francisco, CA, USA: Morgan Kaufmann Publishers Inc., 2007.
- [2] J. Bělohoubek, “Error correction method based on the efficient offline test,” FIT CTU in Prague, Tech. Rep., 2016.
- [3] J. Bělohoubek, P. Fišer, and J. Schmidt, “Error Correction Method Based On The Short-Duration Offline Test,” in *Euromicro Conference on Digital System Design (DSD)*, 2016, Aug 2016.
- [4] J. Sparsø and S. Furber, *Principles of Asynchronous Circuit Design: A Systems Perspective*, 1st ed. Kluwer Academic Publishers, Boston, 2001.
- [5] J. Bělohoubek, P. Fišer, and J. Schmidt, “Novel C-Element Based Error Detection and Correction Method Combining Time and Area Redundancy,” in *Euromicro Conference on Digital System Design (DSD)*, 2015, Aug 2015, pp. 280–283.
- [6] N. Weste and D. Harris, *CMOS VLSI Design: A Circuits and Systems Perspective*, 4th ed. USA: Addison-Wesley Publishing Company, 2010.
- [7] S. Athan, D. Landis, and S. Al-Arian, “A novel built-in current sensor for IDDQ testing of deep submicron CMOS ICs,” in *Proceedings of 14th VLSI Test Symposium*, 1996., Apr 1996, pp. 118–123.
- [8] R. Possamai Bastos, J.-M. Dutertre, and F. Sill Torres, “Comparison of bulk built-in current sensors in terms of transient-fault detection sensitivity,” in *5th European Workshop on CMOS Variability (VARI)*, 2014, Sept 2014, pp. 1–6.
- [9] S. Yang, “Logic synthesis and optimization benchmarks user guide: Version 3.0,” MCNC Technical Report, Tech. Rep., Jan. 1991.
- [10] K. McElvain, “IWLS’93 Benchmark Set: Version 4.0,” Tech. Rep., May 1993.
- [11] F. Brglez and H. Fujiwara, “A Neutral Netlist of 10 Combinational Benchmark Circuits and a Target Translator in Fortran,” in *Proceedings of IEEE International Symposium Circuits and Systems (ISCAS 85)*. IEEE Press, Piscataway, N.J., 1985, pp. 677–692.
- [12] F. Brglez, D. Bryan, and K. Kozminski, “Combinational profiles of sequential benchmark circuits,” in *IEEE International Symposium on Circuits and Systems*, 1989., May 1989, pp. 1929–1934 vol.3.
- [13] C. Albrecht, “IWLS 2005 Benchmarks,” Tech. Rep., Jun. 2005.