

Analýza prúdových zrkadiel riadených substrátovou elektródou

Matej Rakús

1. ročník, denná prezenčná forma štúdia

Školiteľ: Viera Stopjaková

Fakulta elektrotechniky a informatiky, Slovenská technická univerzita v Bratislave

Ilkovičova 3, 812 19 Bratislava, SR

matej.rakus@stuba.sk

Abstrakt—Tento príspevok sa zaoberá analýzou rôznych techník, ktoré sa využívajú pri návrhu nízko-napäťových a nízko-príkonných integrovaných obvodov (IO) a detailnejšie rozoberá návrh prúdových zrkadiel riadených substrátovou elektródou v 90 nm štandardnej CMOS technológii. Princíp tranzistorov riadených substrátovou elektródou je v ich štruktúre, kde je substrát využitý ako vstupný terminál. Táto metóda redukuje, prípadne odstraňuje nevyhnutnosť prekročenia prahového napätia na vstupe MOS tranzistora. Tranzistor riadený substrátovou elektródou je možné vytvoriť z bežného MOS tranzistora bez zmeny jeho štruktúry alebo technologického procesu. Prúdové zrkadlá zložené z takýchto tranzistorov sú schopné pracovať pri napájacích napätiach menších ako prahové napätie tranzistora, vďaka čomu je možné znížiť veľkosť napájacieho napätia pre obvod. Výsledky získané zo simulácií potvrdzujú, že táto technika je vhodnou pre návrh nízko-napäťových IO s nízkou spotrebou.

Keľúčové slová—návrh nízko-napäťových IO; návrh nízko-príkonných IO; bulk-driven; analógové obvody; prúdové zrkadlá

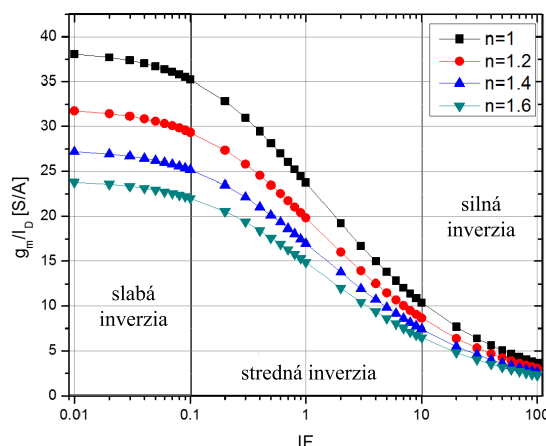
I. ÚVOD

Zvýšený dopyt po všadeprítomných prenosných obvodoch a systémoch spôsobili narastajúcu potrebu rozvoja nízko-napäťových a nízko-príkonných techník pre návrh elektrických obvodov a obvodových blokov. Z tohto dôvodu je trendom znižovať minimálny rozmer technologického procesu, zvyšovať hustotu komponentov na čipe a znižovať napájacie napätie. Znižovanie veľkosti tranzistorov do submikrometrových rozmerov a neustále znižovanie hrúbky vrstvy izolačného oxidu na rozmer niekoľkých nanometrov, má za následok nízke prízračné napätia tranzistorov. Na zabezpečenie správnej činnosti a spoľahlivosti obvodu je teda potrebné znížiť aj napájacie napätie. Zvyšovanie hustoty komponentov na čipe vedie k znižovaniu celkových rozmerov čipu. Nakoľko je kremíkový substrát schopný rozptýliť iba určité množstvo tepla na jednotku plochy, príkon jednotlivých funkčných blokov IO musí byť taktiež znížený. Existuje niekoľko techník pre návrh nízko-napäťových a nízko-príkonných IO [1].

II. TECHNIKY NÁVRHU NÍZKO-NAPÄŤOVÝCH A NÍZKO-PRÍKONOVÝCH IO

1) *Tranzistory pracujúce v slabej inverzii*: Táto technika využíva oblasť slabej inverzie tranzistorov, kedy parameter

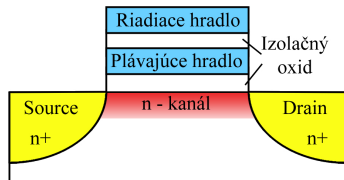
g_m/I_D dosahuje najvyššie hodnoty (Obr. 1) a obvod najnižšiu spotrebu. Nevýhodou tejto techniky je veľká spotreba plochy, keďže je potrebné používať tranzistory s vysokým pomerom šírky a dĺžky kanála W/L [2].



Obr. 1. Závislosť g_m/I_D od inverzného faktora (IF)

2) *Tranzistory s plávajúcím hradlom*: Tranzistory s plávajúcím hradlom (ďalej FG MOS z angl. Floating-Gate Metal-Oxid-Semiconductor) majú oproti bežným MOS tranzistorom izolované plávajúce hradlo (Obr. 2). Napätie na plávajúcom hradle V_{FG} nie je riadené priamo, ale riadiacim hradlom pomocou kapacitnej väzby. Ekvivalentné prahové napätie na riadiacom hradle môže byť redukované regulovaním množstva statického náboja Q_{FG} na plávajúcom hradle. Náboj Q_{FG} je možné regulovať aj pomocou UV žiarenia, injekcie horúcich elektrónov alebo Fowler-Nordheimovho tunelovania. Tieto techniky môžu znížiť prahové napätie V_{TH} FG MOS tranzistora, načo sú ale potrebné relatívne komplexné programovacie obvody a pomerne vysoké hodnoty napätia, čo limituje použitie FG MOS tranzistorov v nízko-napäťových aplikáciách [3].

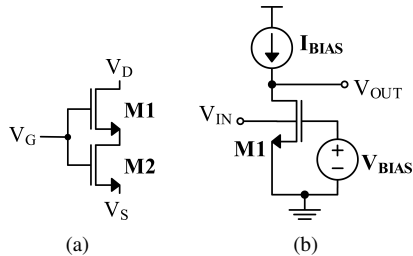
3) *„Self-cascode“ topológia*: Táto topológia znázornená na Obr. 3(a) má vysoký výstupný odpor s väčším výstupným rozkmitom napätia ako klasická kaskádová štruktúra



Obr. 2. Rez štruktúrou FG MOS tranzistora

[4]. Tranzistor M1 (M2) pracuje mimo saturácie (v saturácii) a pre $(W/L)_2 \gg (W/L)_1$ sa obvod správa ako samostatný tranzistor pracujúci v saturácii, ale bez efektu modulácie dĺžky kanála. Výstupný odpor priamoúmerný pomeru $(W/L)_2/(W/L)_1$ a saturačné napätie $V_{DS,sat} = V_{GS} - V_{TH}$ je rovnaké ako pri samotnom MOSFET tranzistore.

4) *Tranzistory riadené substrátovou elektródou*: Technika využívajúca tranzistory riadené substrátovou elektródou (ďalej BD z angl. Bulk-driven) sa javí ako sľubná pre návrh nízkonapäťových integrovaných obvodov. MOS tranzistor je aktívny elektronický prvok so štyrmi vývodmi, z ktorých sa bežne využívajú alebo sú vyvedené iba tri: hradlo (G z angl. Gate), kolektor (D z angl. Drain) a emitor (S z angl. Source). Štvrtý vývod – substrátový kontakt (B z angl. Bulk) je zvyčajne interne prepojený s emitorom, prípadne sa pripája na jeden z napájacích potenciálov obvodu [5]. Táto elektróda však môže byť využitá aj ako signálový vstup obvodu (Obr. 3(b)), čo má za následok zníženie alebo odstránenie potreby prekonávať prahové napätie v signálovej ceste [6].



Obr. 3. Topológia: (a) „Self-cascode“; (b) „Bulk-Driven“

III. „BULK-DRIVEN“ PRÚDOVÉ ZRKADLÁ

Prúd tečúci MOS tranzistorom - kolektorový prúd I_D je riadený napätím medzi hradlom a emitorom MOS tranzistora V_{GS} . Tento prúd môže byť čiastočne ovplyvnený aj napätím medzi substrátom a emitorom MOS tranzistora V_{BS} , čo je zvyčajne považované za parazitný jav. Pripojením konštantného napätia $V_{GS} = V_{BIAS}$ a privedením vstupného signálu na substrátovú elektródu vykazuje MOS tranzistor podobné vlastnosti ako JFET tranzistor. Táto technika odstraňuje, prípadne znižuje potrebu pripojenia vyššieho napätia ako prahového napätia $V_{GS} > V_{TH}$ na riadiacu elektródu, čím sa výrazne zvyšuje rozpätie pracovných napätí a znižuje hodnota napájacieho napätia obvodu. Nevýhodou tejto metódy návrhu je vodivosť substrátu BD tranzistora g_{mb} (1), ktorá je tri až päťkrát nižšia ako prenosová vodivosť tranzistora g_m [7].

$$g_{mb} = \frac{\gamma g_m}{2\sqrt{2}|\phi_F| - V_{BS}} \quad (1)$$

Vstupná kapacita sa zmení z $C_{gs} + C_{gb}$ na $C_{b,sub} + C_{bs}$, čo môže negatívne ovplyvniť frekvenčnú charakteristiku a redukovať šírku pásma zosilnenia (GBW z angl. Gain-Bandwidth). Okrem toho, použitie BD tranzistorov zvyšuje riziko zopnutia parazitných bipolárnych tranzistorov v substráte, čo môže viesť k problémom s tzv. „latch-up“ javom.

A. Jednoduché (Widlarovo) BD prúdové zrkadlo

Ekvivalent jednoduchého prúdového zrkadla (ďalej PZ) navrhnutý pomocou BD techniky je znázornený na Obr. 4(a). Substrátové elektródy tranzistorov v oboch vetvách PZ sú navzájom prepojené a na hradlá je pripojené predpätie V_{BIAS} [8]. Predpätím je možné znížiť prahové napätie V_{TH} tranzistora podľa vzťahu (2), kde V_{T0} je prahové napätie, ak $V_{BS} = 0V$, ϕ_F je Fermiho potenciál substrátu a γ je tzv. substrátový činiteľ [9]:

$$V_{TH} = V_{T0} + \gamma(\sqrt{2|\phi_F| - V_{BS}} - \sqrt{2|\phi_F|}) \quad (2)$$

Ak je výstupné napätie tranzistora M2 menšie (väčšie) ako saturačné napätie $V_{DS2} < V_{DS,sat}$ ($V_{DS2} > V_{DS,sat}$), potom výstupný prúd je možné vyjadriť pomocou vzťahu (3) (vzťahu (4)), kde K_P je technologický činiteľ, λ je koeficient modulácie dĺžky kanála a n je strmota PN prechodu.

$$I_D = \frac{K_P W}{nL} \left(V_{GS} - V_{T0} - \gamma(\sqrt{2|\phi_F| - V_{BS}} - \sqrt{2|\phi_F|}) - \frac{V_{DS}}{2} \right) V_{DS} \quad (3)$$

$$I_D = \frac{K_P W}{2nL} \left(V_{GS} - V_{T0} - \gamma(\sqrt{2|\phi_F| - V_{BS}} - \sqrt{2|\phi_F|}) \right)^2 (1 + \lambda V_{DS}) \quad (4)$$

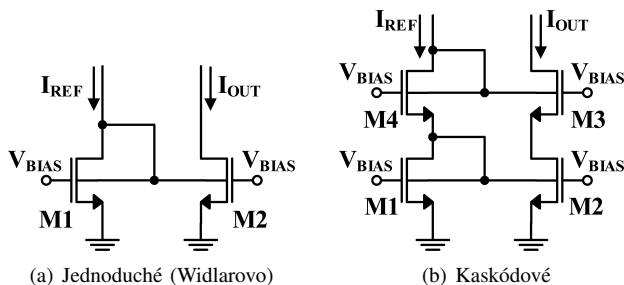
Pokiaľ je $V_{DS1} < V_{DS,sat}$, tranzistor M1 pracuje v lineárnom režime. Táto podmienka je podporená prepojením terminálov kolektora so substrátom MOS tranzistora. Keďže substrátové elektródy oboch tranzistorov sú navzájom prepojené, potom $V_{BS1} = V_{BS2}$ a $V_{GS1} - V_{TH} = V_{GS2} - V_{TH}$. Hodnota výstupného prúdu $I_{OUT} = I_{D2}$ nie je obmedzená a teda pre výstupné napätie môžeme dosiahnuť hodnoty $V_{OUT} \geq V_{DS,sat}$ [10]. Vzťah medzi referenčným a výstupným prúdom (5) sa získa vyriešením rovnice (3) pre $V_{GS2} - V_{TH}$ a dosadením do rovnice (4).

$$I_{OUT} = \frac{K_P W_2}{2nL_2} \left(\frac{I_{REF}^2}{\left(\frac{K_P W_1}{nL_1}\right)^2 V_{DS1}^2} + \frac{I_{REF}}{\frac{K_P W_2}{nL_2}} + \frac{V_{DS1}^2}{4} \right) (1 + \lambda V_{DS2}) \quad (5)$$

Výstupný odpor jednoduchého PZ $r_{out} = r_{ds2}$ je relatívne malý v porovnaní s požadovanou (ideálnou) hodnotou. Rozkmit výstupného napätia jednoduchého PZ je limitovaný minimálnou hodnotou výstupného napätia $V_{OUT} = V_{DS,sat}$.

B. Kaskódové BD prúdové zrkadlo

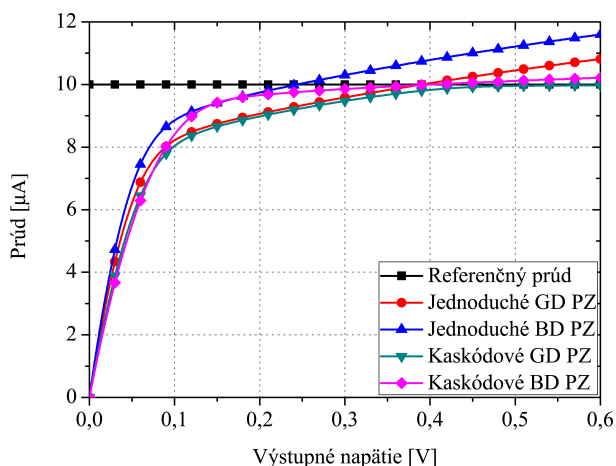
Kaskódové prúdové zrkadlo je znázornené na Obr. 4(b). Táto topológia sa vyznačuje veľmi vysokou presnosťou zrkadlenia vďaka zápornej sériovej spätnej väzbe. Výstupný odpor BD kaskódového PZ sa oproti jednoduchému PZ zvýši na $r_{out} = r_{ds2}g_{mb4}r_{ds4}$. Minimálne výstupné napätie potrebné na správnu činnosť kaskódového zrkadla je $V_{OUT,min} = V_{TH} + 2V_{DS,sat}$. Minimálnu hodnotu výstupného napätia je možné zredukovať až na hodnotu $V_{OUT,min} = 2V_{DS,sat}$, pretože ako bolo spomenuté vyššie, BD technika je schopná znížiť či dokonca odstrániť závislosť tranzistorov od prahového napätia [11].



Obr. 4. Základné topológie BD prúdových zrkadiel

IV. DOSIAHNUTÉ VÝSLEDKY

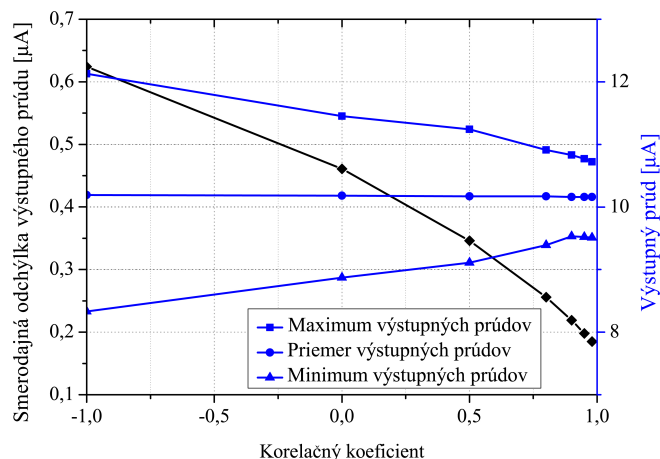
Nasledujúce výsledky boli získané simuláciami pre prúdové zrkadlá navrhnuté v 90 nm štandardnej CMOS technológii. Výsledky simulácií BD zrkadla boli porovnané s ekvivalentnými topológiami využívajúcimi bežné tranzistory riadené hradlom (ďalej GD z angl. Gate-Driven). Všetky tranzistory použité v daných topológiách mali rozmery $W = 5 \mu m$ a $L = 1 \mu m$. Jednoduché GD a BD prúdové zrkadlá majú podobnú hodnotu výstupného odporu vzťahujúceho sa na $r_{ds2} = 25 k\Omega$, ktorý určuje sklon výstupných charakteristík na Obr. 5.



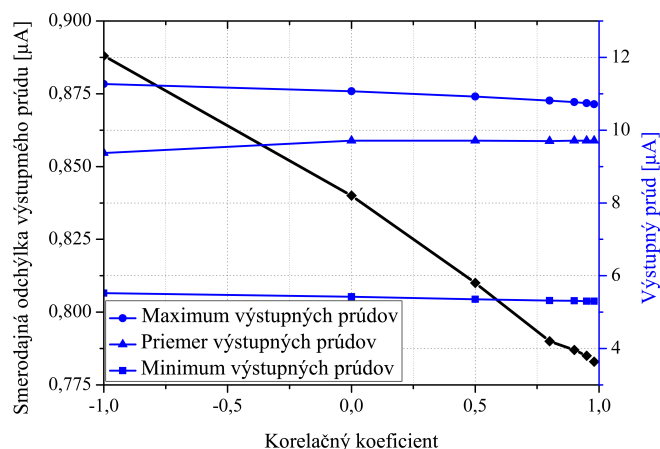
Obr. 5. Výstupné charakteristiky jednoduchého a kaskódového PZ

Minimálna hodnota výstupného napätia jednoduchého PZ dosiahnutá pre obe techniky je rovnaká $V_{OUT,min} = V_{DS2} = 78 mV$. Kaskódové PZ má oproti jednoduchému PZ výrazne väčší výstupný odpor. Z krivky na danom grafe je možné pozorovať, že kaskódové GD PZ začína zrkadliť až po prekročení minimálneho výstupného napätia $V_{OUT,min} = 477 mV$, čo je takmer nepoužiteľné pre nízko-napäťové aplikácie s napájaním $V_{DD} = 0,5 - 0,6 V$. Použitie BD techniky znižuje hodnotu napätia na úroveň $V_{OUT,min} = 140 mV$ a umožňuje tak použiť túto topológiu aj v nízko-napäťových IO. Na druhej strane, použitie BD techniky znižuje hodnotu výstupného odporu PZ z hodnoty $r_{out} = 4,36 M\Omega$ na hodnotu $r_{out} = 0,81 M\Omega$. Tento pokles výstupného odporu je spôsobený znížením vodivosti z g_m na g_{mb} , ktorá podstatne vplyva na výstupný odpor [12].

Na Obr. 6 sú zobrazené štatistické Monte Carlo simulácie výstupného prúdu I_{OUT} jednoduchého BD PZ pri referenčnom prúde $I_{REF} = 10 \mu A$. Z grafu možno pozorovať, že rozptyl parametrov jednoduchého BD zrkadla je významne závislý od korelačného koeficientu (cc) oboch tranzistorov PZ.



Obr. 6. Monte Carlo simulácie výstupných prúdov jednoduchého BD PZ v závislosti od korelačného koeficientu



Obr. 7. Monte Carlo simulácie výstupných prúdov kaskódového BD PZ v závislosti od korelačného koeficientu

Podobné simulácie boli vykonané aj pre kaskódové BD PZ (Obr. 7), ktoré nie je až natoľko závislé od korelácie tranzistorov vďaka zápornej sériovej spätnej väzbe. Ako sa dalo očakávať, smerodajné odchýlky oboch štatistických simulácií majú klesajúcu tendenciu v závislosti od zlepšujúcich sa korelačných podmienok.

Tabuľka I
POROVNANIE GD A BD TOPOLÓGIÍ PZ

Technika návrhu	Topológia	$cc = 0,98$		Smerodajná odchýlka		
		r_{out} [MΩ]	V_{MIN} [mV]	r_{out} [kΩ]	V_{min} [mV]	I_{out} [μA]
GD	Jednod.	0,29	78,6	6,3	1,68	0,12
	Kaskod.	4,36	477	32,6	2,11	0,43
BD	Jednod.	0,26	76,8	8,9	2,37	0,18
	Kaskod.	1,48	139,8	48,9	12,57	0,78

Tabuľka I zobrazuje porovnanie základných výstupných parametrov prúdových zrkadiel pre GD a BD topológie. Získané výsledky potvrdzujú, že BD technika vylepšuje hodnotu minimálneho výstupného napätia, ale na úkor hodnoty výstupného odporu PZ.

Tabuľka II
ROZPTYL PARAMETROV V ZÁVISLOSTI OD TEPLoty

Parameter	Jednoduché BD PZ			Kaskódové BD PZ		
	-20	25	85	-20	25	85
T [°C]	-20	25	85	-20	25	85
I_{out} [μA]	9,71	10,16	10,8	5,86	9,7	10,44
r_{out} [MΩ]	0,268	0,263	0,252	1,80	1,48	0,687

Tabuľka II zobrazuje rozptyl výstupných parametrov (I_{OUT} a r_{out}) BD PZ v závislosti od teploty. Zo získaných výsledkov je zrejme, že kaskódové BD PZ je omnoho viac závislé od teploty okolia v porovnaní s jednoduchým BD PZ.

V. ZÁVER DIZERTAČNEJ PRÁCE A JEJ CIELE

Hlavným zámerom dizertačnej práce je podrobnejší rozbor techník, ktoré je možné použiť pri návrhu nízko-napäťových a nízko-príkonných IO. Naším zámerom je taktiež návrh robustných stavebných blokov analógových IO použiteľných pri návrhu zložitých nízko-napäťových integrovaných systémov. Vzhľadom na použiteľnosť jednotlivých návrhových techník vo vybraných technológiách, bude náš budúci výskum zameraný primárne na využitie tranzistorov riadených substrátovou elektródou. V budúcom výskume bude vykonaná podrobnejšia analýza zložitejších topológií nielen prúdových zrkadiel, ale aj diferenciálnych párov a iných obvodových blokov využívajúcich MOS tranzistory riadené substrátovou elektródou. Dôležitou súčasťou dizertačnej práce bude aj preskúmanie prípadného nežiaduceho vplyvu parazitných javov, ako napríklad „latch-up“ efektu na vlastnosti a použiteľnosť daných obvodových blokov. Táto analýza bude vykonaná nielen na úrovni simulácií, ale aj vo forme experimentálneho overenia vplyvu korelácie rôznych topológií obvodových blokov a štruktúr na zmenu ich charakteristík v 90 nm a 130 nm CMOS technológiách priamo na polovodičovom substráte.

VI. ZÁVER

V tomto príspevku boli uvedené najvýznamnejšie techniky využívané pri návrhu nízko-napäťových a nízko-príkonných integrovaných obvodov a ich princíp. Predložené simulácie základných topológií naznačujú použiteľnosť, výhody a nevýhody BD techniky v nízko-napäťových IO. Zo simulácií vyplýva, že táto technika môže výrazne znížiť minimálne napájacie napätie, a tak zvýšiť rozkmit pracovných napätí obvodu. Nevýhody a horšie vlastnosti niektorých parametrov BD topológií sa pokúsime zmierniť alebo odstrániť rôznymi obvodovými technikami.

V rámci mojej doterajšej práce a výskumu vznikli 3 publikácie (1 príspevok na medzinárodnom sympóziu DDECS a 1 príspevok na domácej konferencii ADEPT ako prvoautor a 1 príspevok na domácej konferencii ADEPT ako spoluautor).

POĎAKOVANIE

Táto práca bola podporená projektom APVV-15-0254. Autor zároveň ďakuje STU za finančnú podporu v rámci Grantovej schémy na podporu mladých výskumníkov.

LITERATÚRA

- [1] Y. Shouli and E. Sanchez-Sinencio, "Low voltage analog circuit design techniques: A tutorial," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol. 83, no. 2, pp. 179–196, 2000.
- [2] D. J. Comer and D. T. Comer, "Operation of analog mos circuits in the weak or moderate inversion region," *IEEE Transactions on Education*, vol. 47, no. 4, pp. 430–435, Nov 2004.
- [3] E. S. Sinencio, "Floating gate techniques and applications," 2002.
- [4] K. J. Baek, J. M. Gim, H. S. Kim, K. Y. Na, N. S. Kim, and Y. S. Kim, "Analogue circuit design methodology using self-cascode structures," *Electronics Letters*, vol. 49, no. 9, pp. 591–592, April 2013.
- [5] B. Razavi, *Design of Analog CMOS Integrated Circuits*, 1st ed. New York, NY, USA: McGraw-Hill, Inc., 2001.
- [6] B. Blalock and P. Allen, "A low-voltage, bulk-driven mosfet current mirror for cmos technology," in *Circuits and Systems, 1995. ISCAS '95., 1995 IEEE International Symposium on*, vol. 3, Apr 1995, pp. 1972–1975 vol.3.
- [7] S. Rajput and S. Januar, "Low voltage analog circuit design techniques," *Circuits and Systems Magazine, IEEE*, vol. 2, no. 1, pp. 24–42, First 2002.
- [8] F. Khateb, D. Bielek, N. Khatib, and J. Vavra, "Utilizing the bulk-driven technique in analog circuit design," in *Design and Diagnostics of Electronic Circuits and Systems (DDECS), 2010 IEEE 13th International Symposium on*, April 2010, pp. 16–19.
- [9] V. Musil, J. Brzobohatý, D. Bečvář, R. Prokop, and D. Ďuračková, *Metodika návrhu anaogových integrovaných obvodů v nových technologiích*, 1st ed. Brno: Vysoké učení technické v Brně, 2004.
- [10] S. Huda, "Low voltage, low power, bulk-driven amplifier," *Electrical Engineering Undergraduate Honors Theses*, May 2009.
- [11] B. Tupti and P. Pratik, "Simulation and analysis of bulk driven circuits for low power applications," *International Journal of Engineering and Technical Research*, vol. 2, February 2014.
- [12] M. Rakús, V. Stopjaková, and D. Arbet, "Comparison of gate-driven and bulk-driven current mirror topologies," in *Design and Diagnostics of Electronic Circuits and Systems (DDECS), 2016 IEEE 19th International Symposium*, April 2016, pp. 27–30.