

## **Paměti v PC - souhrn**

- V současném PC se vyskytuje podstatně více různých typů pamětí hierarchicky uspořádaných než v prvních typech.
- Zvýšila se kapacita pamětí, získávání dat z pamětí o velké kapacitě je časově náročnější než u nižších kapacit, paměti technologicky (rychlostně) přestaly v jisté fázi vývoje stačit procesorům => snaha o rozdělení pamětí do hierarchické struktury.

### **Rychlá vyrovnávací paměť L1 (Level 1 cache)**

- Na stejném čipu jako procesor => rychlá komunikace mezi oběma prvky bez nutnosti vkládat čekací stavy.
- Realizace: statická RAM (SRAM), většinou realizovaná v kapacitě 16 kB.
- Prvek SRAM sestává ze 4 - 6 transistorů/bit tvořících klopný obvod => zabírá výrazně větší plochu než prvek DRAM - dynamická RAM, je energeticky závislý (informace se ztratí po vypnutí napájení - volatile memory).

- Stavby klopného obvodu jsou stabilní => informaci není nutné obnovovat (na rozdíl od prvku DRAM).
- Cena prvku SRAM je několikanásobně vyšší než cena prvku DRAM.
- Odběr ze zdroje prvku SRAM je vyšší než odběr ze zdroje prvku DRAM.
- Hustota prvku SRAM je menší než hustota prvku DRAM.
- Cena/bit prvku SRAM je vyšší než cena/bit prvku DRAM.

## **Rychlá vyrovnávací paměť L2 (Level 2 cache)**

- Implementace formou SRAM stejně jako v případě L1.
- Většinou dvě velikosti, 256 nebo 512 kB.
- Realizace: buď v soklech (sokl CELP - Card Edge Low Profile) nebo formou podobných modulů jako jsou moduly SIMM (sokl COAST).
- Pentium Pro - RVP L2 je na čipu s procesorem.
- Komunikace bez čekacích stavů - protokol pro komunikaci mezi procesorem a pamětí

musí znát tzv. "**nárazový zřetězený režim**" (tzv. **synchronous pipeline burst**).

- Pipeline burst static RAM (PB SRAM) - vybavovací doba 4,5 - 8 ns umožňuje přenosy 3-1-1-1 při synchronizaci sběrnice 133 Mhz.
- Tzv. asynchronní SRAM s vybavovací dobou 12 - 20 ns, čtecí cyklus 3-2-2-2, sběrnice 50 - 66 Mhz => do prvního cyklu vloženy dva čekací cykly, do dalších pak pouze jeden.

## Hlavní paměť

### DRAM

- V architektuře PC ji můžeme chápat jako prvek mezi pevným diskem a procesorem.
- Čím má větší kapacitu, tím je počítač rychlejší.
- S procesorem je paměť propojená pomocí **adresové, datové a řídicí** sběrnice.
- Šířka adresové sběrnice - určuje kapacitu paměti.
- Šířka datové sběrnice - šířka čtených dat.
- Pentium (rok 1993) - šířka datové sběrnice 64 bitů => současně se čte 8 slabik dat.

- Výroba DRAM vychází relativně levně, protože se jedná o pravidelně opakovanou strukturu - výroba rozsáhlého prvku tak není drahá, na rozdíl např. od procesoru.
- Vývoj realizace paměťových modulů:
  - Moduly SIMM krátké** (30 vývodů) - procesory I80286, I80386, I80486, kapacity 256 kB, 1 MB, 4 MB, šířka toku dat 8 bitů.
  - Moduly SIMM dlouhé** (72 vývodů) - procesory I80486 (1 SIMM/bank), Pentium (2 SIMMy/bank), kapacity modulů SIMM: 4, 8, 16, 32, 64 MB.
  - Moduly DIMM** (168 vývodů) - Pentium (1 DIMM/bank).
- Vybavovací doba - 60 - 70 ns.
- Paměti DRAM jsou asynchronní.
- Signály:
  - RAS** (Row Address Select): reprezentuje informaci o tom, že na adresové sběrnici je adresa řádku a okamžik pro vložení do registru (vymezuje její platnost). Je vždy předepsáno, jak dlouho musí být RAS aktivní (tzn. na úrovni L), ale také, jak dlouho musí být neaktivní (na úrovni H) - tento parametr je označován jako **RAS precharge time**.

**CAS** (Column Address Select): indikuje přítomnost adresy sloupce na adresové sběrnici a okamžik vložení adresy do registru (zahájení paměťové operace). Signál CAS musí zůstat na úrovni L a H po předepsanou dobu.

**ADDRESS:** na tyto vstupy se vkládá adresa řádku a sloupce (multiplexovaná adresa).

**WE (Write Enable):** hodnota tohoto signálu určuje typ operace (čtení/zápis).

**OE (Output Enable):** při operaci čtení uvolňuje data na výstup.

**DATA IN/DATA OUT:** obousměrné signály reprezentující data pro vstup/výstup dat, pokud není aktivní signál OE, pak jsou ve stavu vysoké impedance.

### **Fast Page Mode DRAM (FPM DRAM)**

- Dosahuje se rychlosti 5-3-3-3.
- Další vývoj - změna základní architektury paměti - výsledek paměť EDO DRAM.
- Posloupnost činností: aktivace řádku, aktivace sloupce, čtení dat, přenos dat do procesoru - nevýhodný časový diagram (viz přednáška o FPM).

## **Extended Data Out DRAM (EDO DRAM)**

- Dosahuje se rychlosti 5-2-2-2.
- Vybavovací doba - 50 ns, 60 ns, 70 ns.
- Teoreticky může být EDO DRAM o 27 % rychlejší.
- Platilo, že paměť 60 ns byla nejpomalejší paměť vhodná pro sběrnici 66 Mhz (Pentium 100 Mhz a výše).
- Vhodná paměť se vždy odvíjela od chipsetu - např. chipsety Triton HX a VX byly schopny pracovat s pamětí 50 ns.
- Na konci cyklu není výstupní registr deaktivován tak, jak je tomu u FPM.
- Dosahuje se rychlosti komunikace 5-2-2-2 - teoreticky mohla být tato paměť o 27% rychlejší.

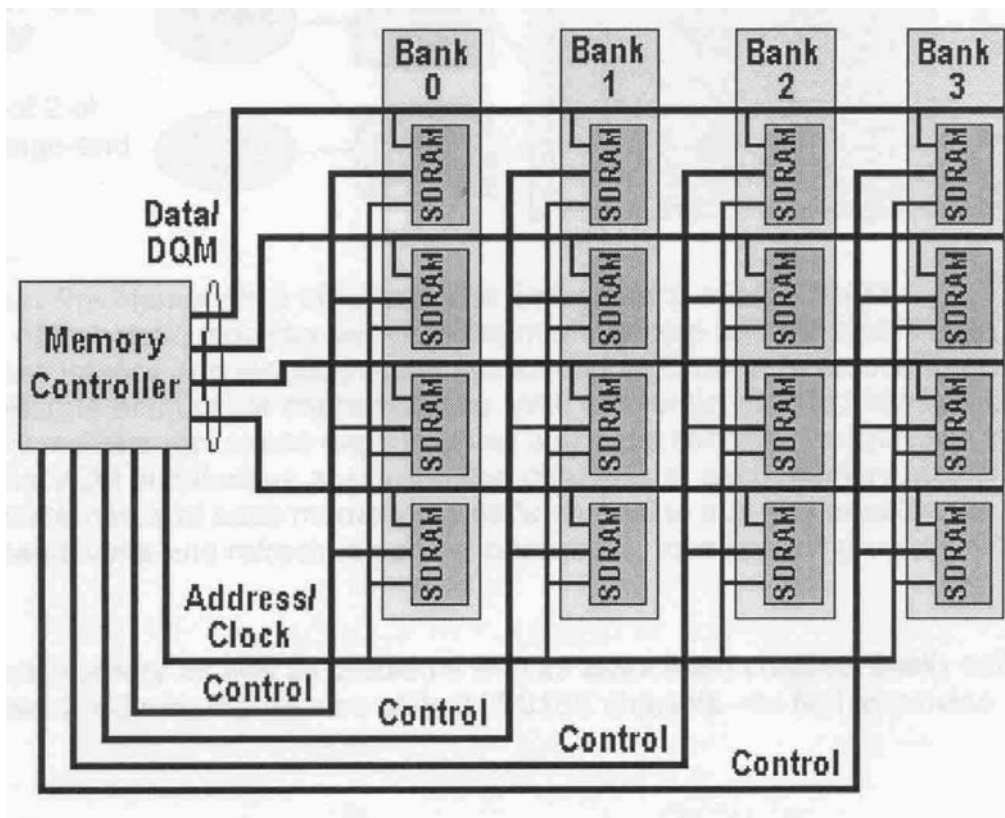
## **Burst Extended Data Out DRAM (BEDO DRAM)**

- Obsahuje čítač - je možné zrealizovat nárazový režim.
- Dosahuje se rychlosti komunikace 5-1-1-1 - teoreticky mohla být tato paměť o 100% rychlejší než FPM DRAM a o 50% rychlejší než EDO.

- Nevýhoda BEDO - neexistovala dostatečná podpora od výrobců ve formě chipsetu, navíc se prolínala s SDRAM.

## Synchronous DRAM (SDRAM)

- Zcela jiný princip činnosti - využívá se toho, že paměťové operace jsou sekvenční a má proto význam realizovat tyto činnosti v nárazovém režimu.
- Komunikace s procesorem se odehrává synchronně v režimu 5-1-1-1.
- Paměť je řízena pomocí příkazů (kód příkazu na vstupech CAS, RAS, WE) - na obr. signály "Control".
- **Adresové, řídicí a datové signály** jsou synchronizovány jedněmi synchronizačními pulsy.



Obr. 1 Organizace paměti SDRAM

- Výrazný krok vpřed - chipset 440BX (r. 1998) - teprve pak bylo možné začít pracovat na 100 Mhz.
- Jedna z možností zvýšení rychlosti - zvýšit počet vyrovnávacích (datových) registrů - zvýší se však příkon paměti
- Jiná alternativa - využití Direct Rambus DRAM (DRDRAM) - snaha o zefektivnění komunikace paměti s okolím.



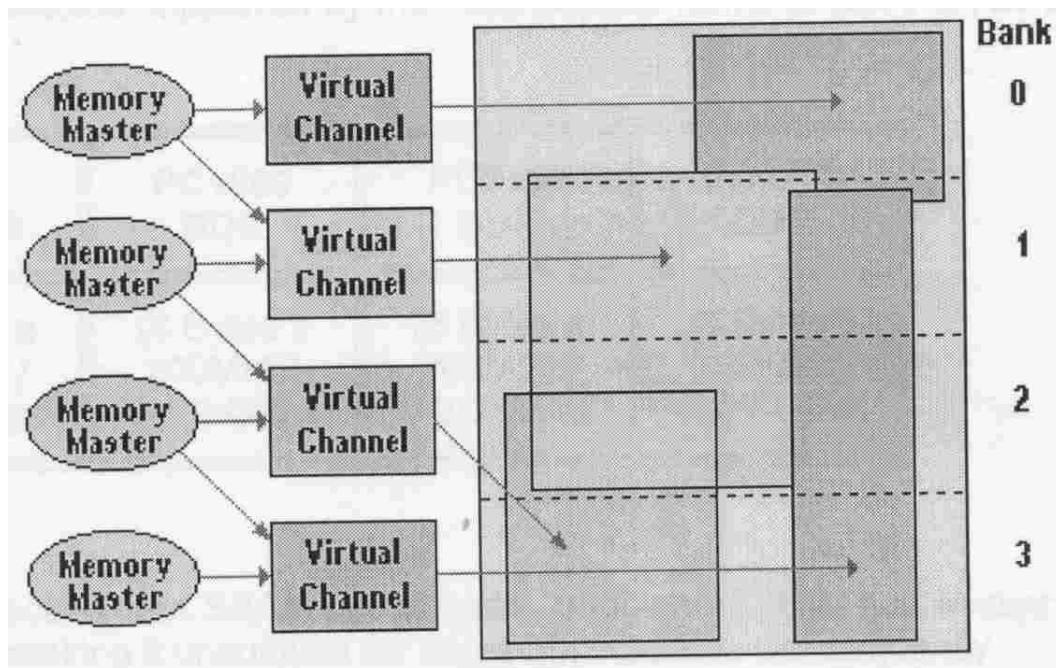
Kód příkazu je tvořen kombinací na vstupech CAS, RAS, WE takto:

Příkaz	Kód	Činnost
NOP	000	No operation
READA	001	SDRAM read with auto precharge
WRITEA	010	SDRAM write with auto precharge
REFRESH	011	SDRAM auto refresh
PRECHARGE	100	SDRAM precharge all banks
LOAD_MODE	101	SDRAM load mode register
LOAD_REG1	110	Load controller configuration register
LOAD_REG2	111	Load controller refresh period register.

## **PC133 SDRAM**

- Tento typ paměti byl kromě Intelu podporován řadou jiných výrobců chipsetů.
- Rychlost přenosu - až 1,6 GB/s (klasicky 800 MB/s), aniž by byly nutné výrazné změny v technologii základní desky.

- Na začátku r. 2000 ohlásila firma NEC svou technologii Virtual Channel Memory (VCM) - paměťové prvky měly kapacitu 128 MB a 256 MB.
- Pouzdro bylo kompatibilní s předcházejícím typem SDRAM.
- Princip paměťových prvků PC133 SDRAM:
  - Mezi paměťovou maticí a rozhraní pouzdra jsou vloženy rychlé registry, čímž se zefektivní proces čtení.
  - Každému "Memory master" (požadavku na paměť) je přidělen Virtual Channel (virtuální kanál), díky čemuž nedochází při požadavku o současně realizované paměťové operace ke konfliktům.
  - Každý "Memory master" má pak svůj kanál - je možné současně realizovat operace čtení, zápisu a refreš - zvýší se rychlost.



Obr. 2 Technologie VCM fy NEC

- Uprostřed r. 2000 začal Intel dodávat chipset 815/815E podporující PC133 SDRAM.

## **Double Data Rate (DDR DRAM)**

- Odlišnost od předcházejících typů: přenosové děje se odehrávají od nástupné i sestupné hrany synchronizačních pulsů - je tak ve skutečnosti možné dvakrát zrychlit synchronizaci, aniž by se zvýšil kmitočet synchronizačních pulsů.
- Chipset, který podporuje DDR DRAM - I845 (r. 2001).

- Prvky PC1600 a prvky PC2100 - rychlost 1600 MB/s.

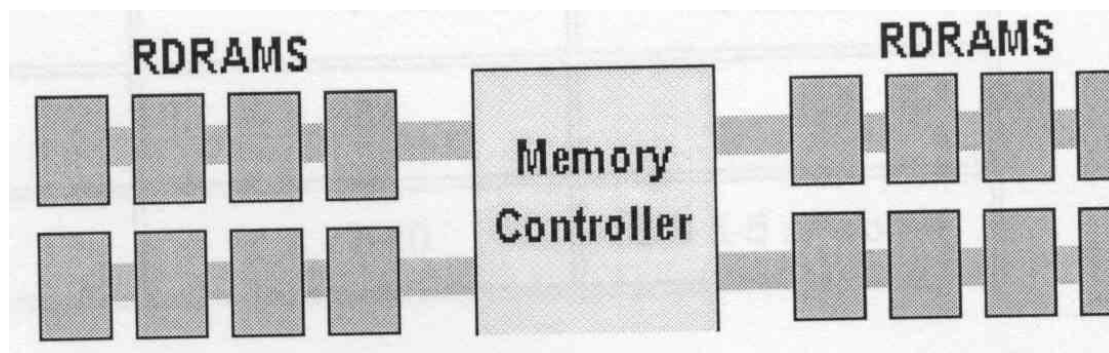
PC100 SDRAM	PC133 SDRAM	PC1600 DDR	PC2100 DDR	PC2700 DDR
8B x 100 Mhz = 800 MB/s	8B x 133 Mhz = 1,1 GB/s	8B x 200 Mhz = 1,6 GB/s	8B x 266 Mhz = 2,1 GB/s	8B x 333 Mhz = 2,7 GB/s

## **1T - SRAM**

- Má vlastnosti pamětí SRAM i DRAM.
- Technologie vyvinutá na základě snahy o vyvinutí paměťového prvku s těmito vlastnostmi: vysoká rychlost, nízká cena, vysoká hustota, nízký příkon.
- Každá buňka obsahuje pouze jeden transistor (klasická SRAM - 4 až 6 transistorů).
- Informace se musí periodicky obnovovat, jako je tomu u SRAM.
- Příkon je asi 4x nižší než u SRAM.
- Technologii 1T - SRAM je prvek, který je svými vlastnostmi a parametry někde mezi SRAM a DRAM.

## Direct RDRAM

- Konvenční DRAM dosáhla svého vrcholu pokud se týká frekvence a šířky sběrnice.
- Direct RDRAM vznikla jako výsledek spolupráce mezi firmami Intel a Rambus.
- Zcela nová architektura RAM - bus mastering a nový způsob propojení mezi paměťovými prvky.



Obr. 3 Paměť Direct RDRAM

## **Principy realizace paměti**

### **Moduly SIMM (Single In-line Memory Module)**

- Důvod, proč byly zavedeny moduly SIMM - zmenšení plochy, kterou paměť zabírá.
- SIMM moduly s 30 vývody - 256 kB, 1 MB, 4 MB.

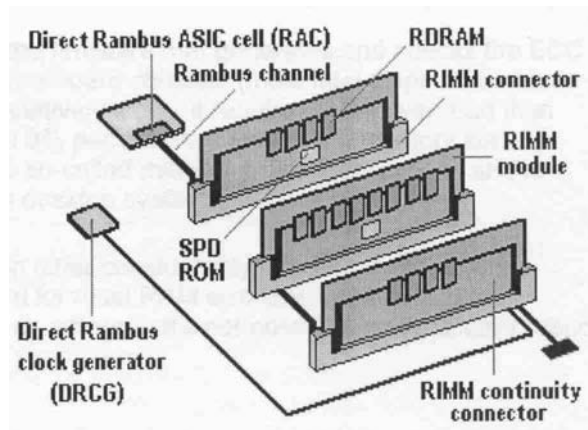
- SIMM moduly s 32 vývody - podpora procesorů s 32 bitovou sběrnicí (4 moduly/1 bank).
- Kapacity dlouhých SIMM modulů - 4 MB, 8 MB, 16 MB, 32 MB, 64 MB.
- 32 bitový procesor - 1 modul/1 bank.
- 64 bitový procesor - 2 moduly/1 bank.

### **Moduly DIMM (Dual In-line Memory Module)**

- Šířka toku dat - 64 bitů, v Pentiu 1 DIMM/1 bank.
- Počet vývodů - 168, většinou pouze jeden konektor na desce.
- Napájení - 3,3 V.
- Moduly DIMM pro notebooky - tzv. SO DIMM (small outline DIMM).

### **Moduly RIMM**

- Vznikly v souvislosti s Direct RDRAM (DRDRAM).
- 184 vývodů.
- Musí být podporován BIOSem a chipsetem (např. chipset Intel 820).



Obr. 4

## Detekce konfigurace paměti

- Na modulech SIMM a některých modulech DIMM byla využívána technika "Parallel Presence Detect" (PPD) - odpory, přes něž se na patřičné vývody modulu SIMM vkládala informace o přítomnosti bitu.
- Nyní technika Serial Presence Detect (SPD).
- SPD je realizován pomocí paměti EEPROM schopné komunikovat seriově. Obsahuje následující informaci:
  - kapacitě modulu,
  - napájecím napětí,
  - počet řádků a sloupců,
  - datum výroby a identifikační kód.

## Parita

- Paměťové moduly existují ve dvou variantách - s paritou i bez parity.
- Parita má pouze schopnost detekce, navíc ne vždy je tato detekce poruch úspěšná - některé chyby v datech jsou tzv. maskované.
- Je možné detekovat pouze lichý počet chyb, pokud dojde ke dvěma či většímu sudému počtu chyb, detekce nezafunguje.
- Pokud je indikována chyba parity, pak je generován NMI (non-maskable interrupt). Data jsou nespolehlivá => počítač by se měl v takovém případě zastavit.
- Proto se nyní využívá metoda Error Check Code (ECC).

## Error Check Code

- Pokud je snaha chybu nejenom detekovat ale i lokalizovat, je nutné mít pro tyto účely k dispozici více bitů - v tomto případě je každých 8 bitů jištěno 5 dalšími bity.
- ECC je dražší než parita - využívá se více na serverech než na pracovních stanicích.
- Reakce počítače v případě indikace chyby paměti může být různá:



- Pokud jedna chyba, tak se opraví (nejčastější případ).
- Nové zavedení systému, přičemž vadná paměť se vyřadí.

## **Inovace paměti**

- Na čipu jsou většinou 3 řádky textu:
- Výrobce: HM - Hitachi, TMS - Texas Instruments, MT - Micron Technology.
- Konfigurace paměti: HM5144000 - konfigurace 1M x 4 bity.
- Vývojový typ: písmena A, B, C, D - A je nejstarší typ, D nejmladší. HM514400AS - (S označuje typ pouzdra).
- Rychlost: HM514400S7 - číslice 7 znamená 70 ns vybavovací dobu.
- Datum výroby: 9438 - 38. týden roku 1994.
- Parita/bez parity - podle počtu obvodů na SIMM/DIMM modulu: lichý počet - parita, sudý počet - bez parity.