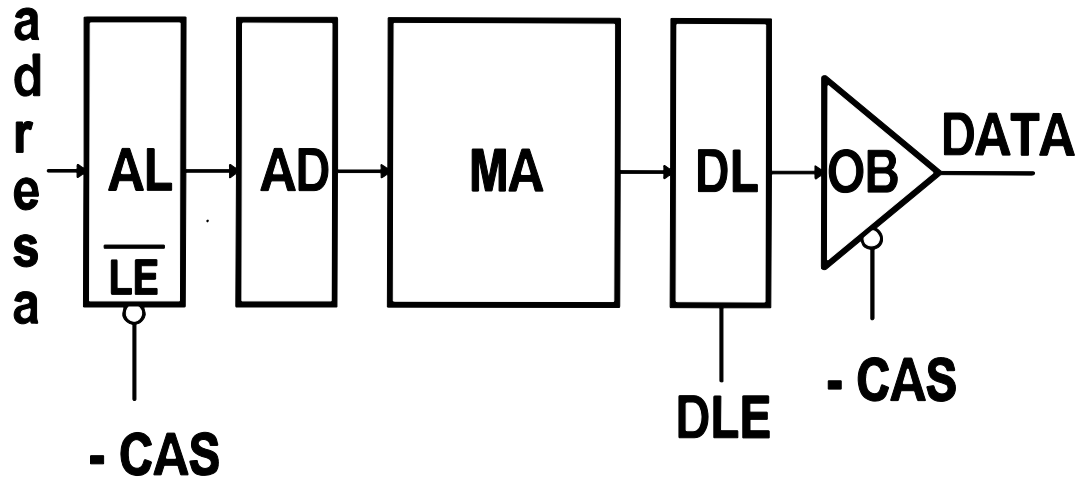
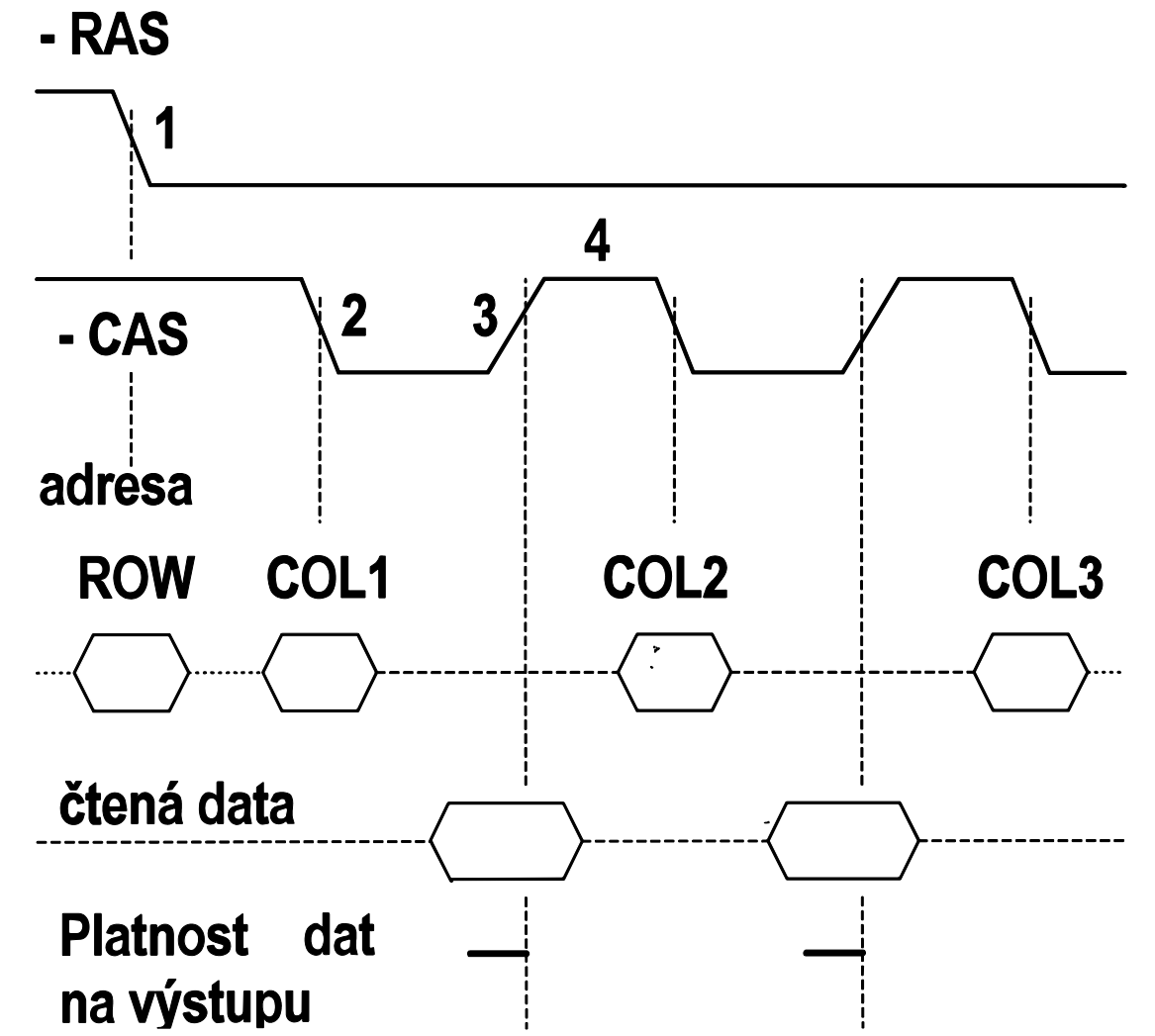


Realizace paměti na bázi FPM, EDO, BEDO

FPM (FAST PAGE MODE)



Časový diagram cyklu paměti FPM



1 Vložení adresy sloupce na vstup adresového registru.

2 Vložení adresy sloupce do adresového registru a na vstup paměti.

3 Vložení dat do datového registru a na výstup vyrovnávací paměti.

4 Změna CAS na úroveň H, příprava na další paměťový cyklus.

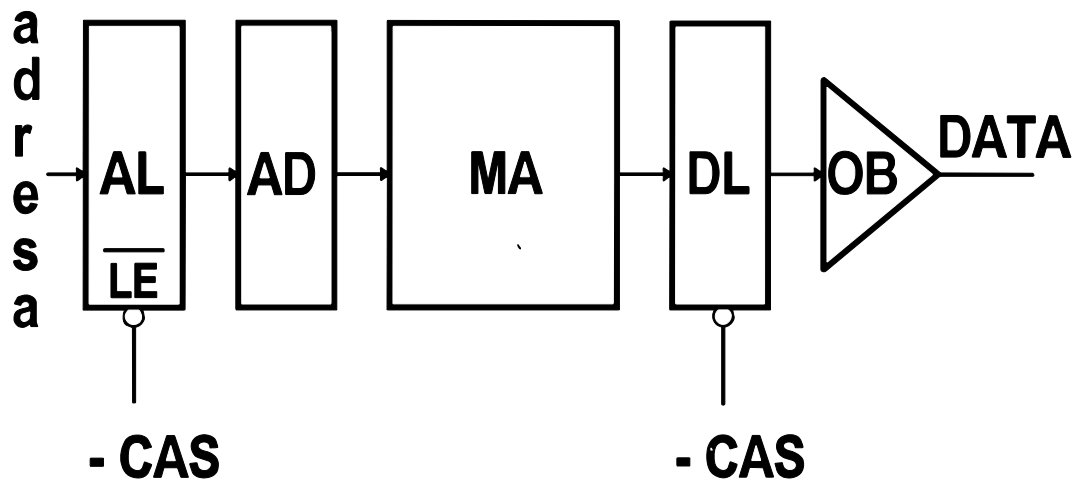
Poznámky:

Registr adresy je při $-CAS = H$ transparentní (informace na vstupu se přenáší na výstup).

Při $-CAS = H$ se zablokuje výstupní vyrovnávací paměť (data se nepřenášejí na výstup), tzn., že po dobu platnosti musí být převzata přijímací stranou – procesorem.

To je nevýhodné, protože doba platnosti dat na výstupu musí být taková, aby data byla procesorem spolehlivě převzata – s ohledem na tuto skutečnost musí být prodlužován interval $-CAS = L$.

EDO (Extended Data-Out)



Princip:

Na rozdíl od FPM se výstup vyrovnávací paměti nezablokuje signálem CAS (není blokován žádným signálem).

Datový registr je řízen signálem \overline{CAS} , data se do něj nahrávají sestupnou hranou tohoto signálu (přechod z úrovně H na L).

Obsah datového registru je garantován až do následující sestupné hrany signálu CAS.

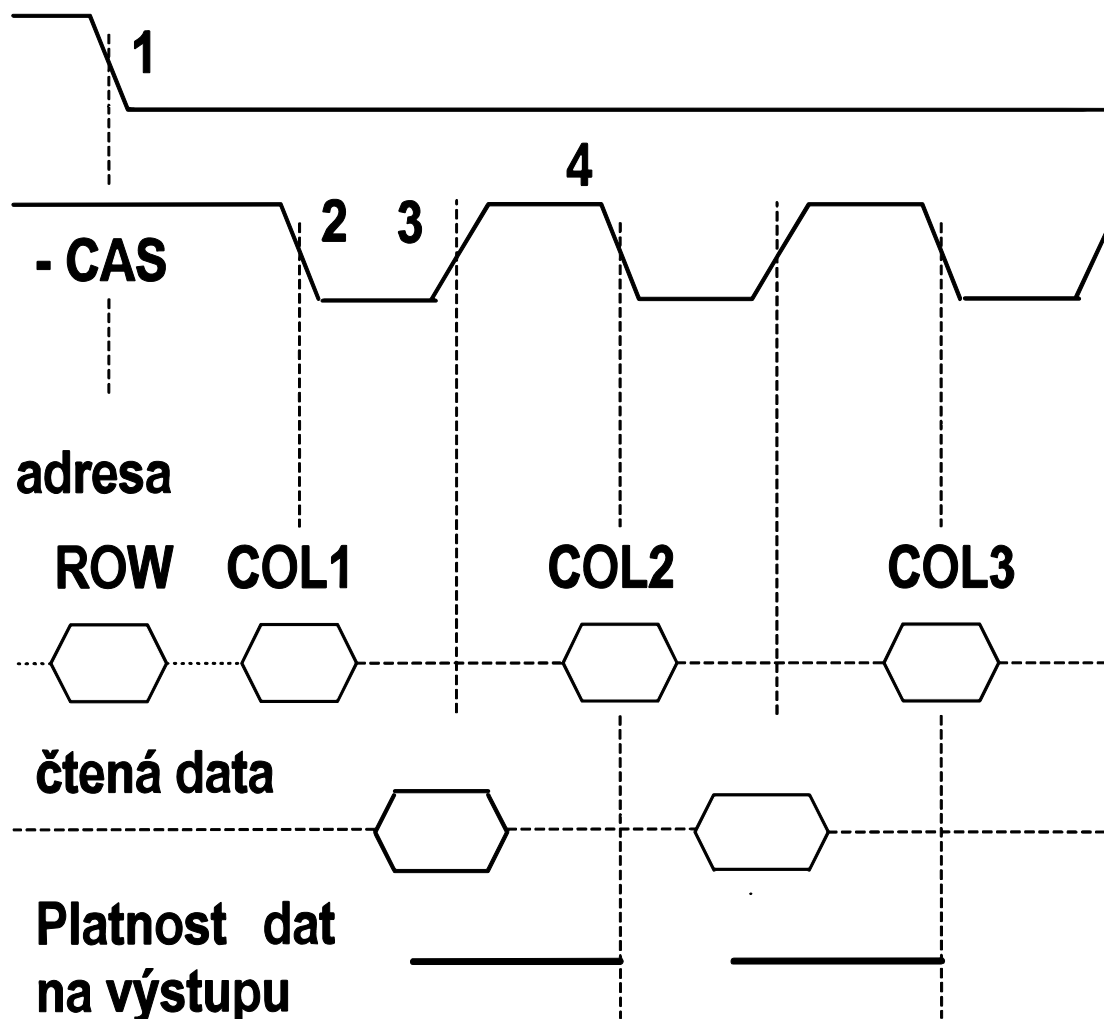
U systému FPM se data načítají do datového registru při $\overline{CAS} = L$, proto je doba, kdy je podmínka $\overline{CAS} = L$ splněna, delší než u systému EDO (je nutno

"počkat" na spolehlivé převzetí dat procesorem).

Data mohou být procesorem převzata i v době, kdy je $\neg CAS = H$, tzn. interval $\neg CAS = L$ může být kratší než je tomu u systému FPM (v intervalu $\neg CAS = L$ nemusí být data procesorem převzata).

Časový diagram cyklu paměti EDO

- RAS



1 Vložení adresy sloupce na vstup adresového registru.

2 Vložení adresy sloupce do adresového registru a na vstup paměti.

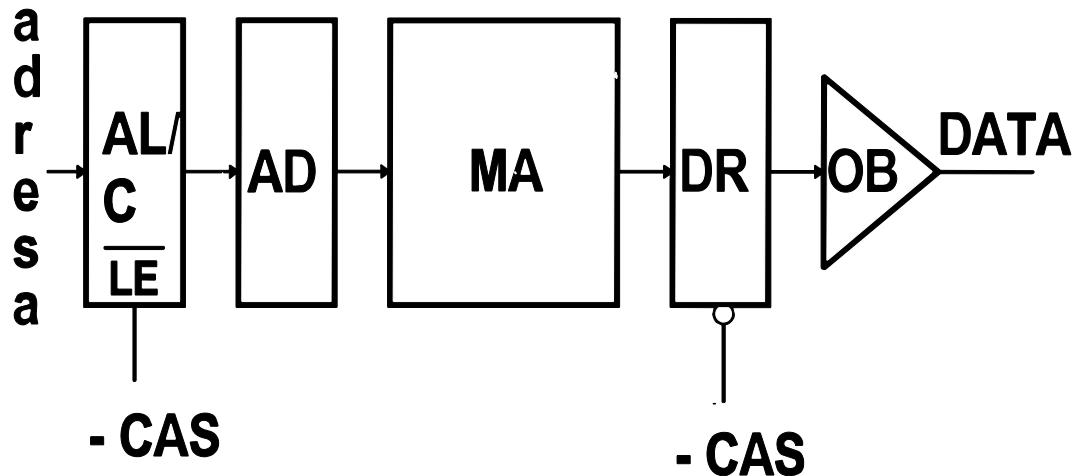
3 Změna - CAS na úroveň H, čekání na data, příprava na další paměťový cyklus.

4 Vložení dat do datového registru a na výstup vyrovnávací paměti.

=> u metody EDO je dobu, kdy je CAS = L možné výrazně zkrátit, protože se na data nemusí čekat (ta se do datového registru vloží až v intervalu, kdy je tento signál na úrovni H).

Přípravná fáze na další paměťový cyklus (- CAS = H) je využita i pro vložení přečteného slova dat do datového registru - jde o uplatnění jednoduchého principu zřetězení (pipelining).

BEDO (Burst Enhanced Data-Out)



Datový registr sestává ze 2 registrů typu latch => data se na výstupu neobjeví jako reakce na první signál CAS ale až na druhý signál CAS.

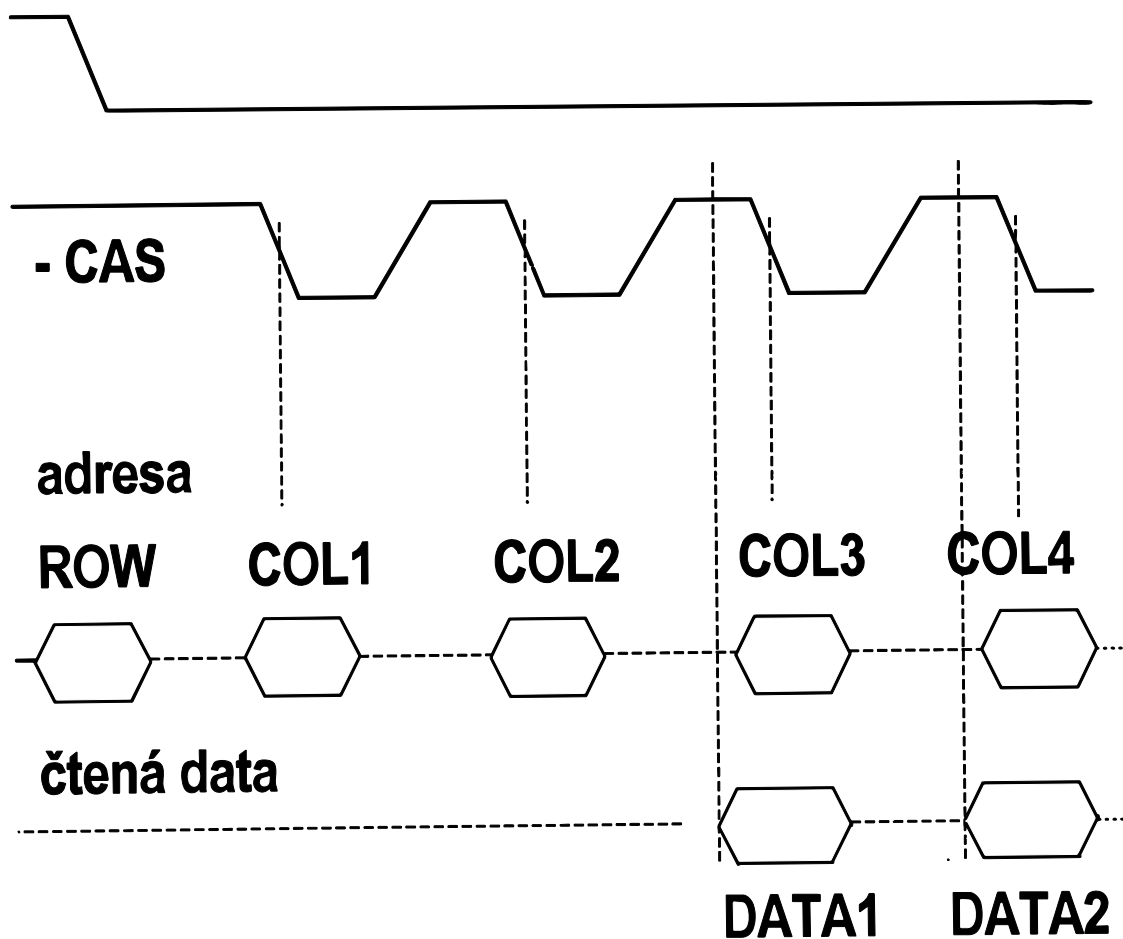
Důsledek: data se vůči druhému CAS objeví na výstupu s kratším zpožděním než tomu bylo u EDO.

Paměti typu BEDO obsahují interní čítač adres, takže se do adresového registru zavádí pouze adresa první, zbývající čtyři se odvodí v čítači postupnou inkrementací.

Tato architektura umožňuje realizovat ještě dokonalejší režim zřetězení než tomu bylo u paměti EDO.

Časový diagram cyklu paměti BEDO

- RAS



- 1 Vložení adresy sloupce na vstup adresového registru.
- 2 Vložení adresy sloupce do adresového registru a na vstup paměti.
- 3 Změna CAS na úroveň H, čekání na data.

4 Vložení dat z předcházejícího cyklu do datového registru a na výstup vyrovnávací paměti.