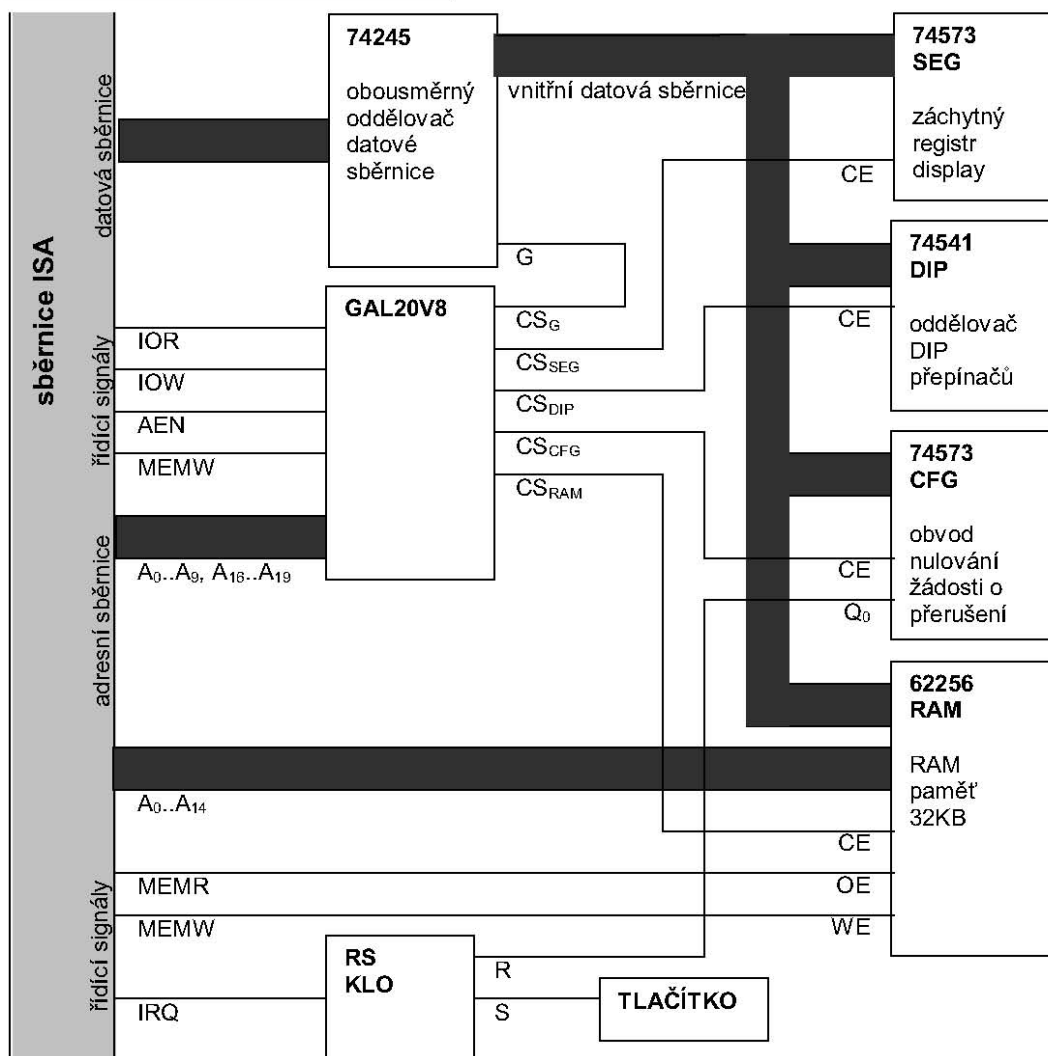


Zadání:

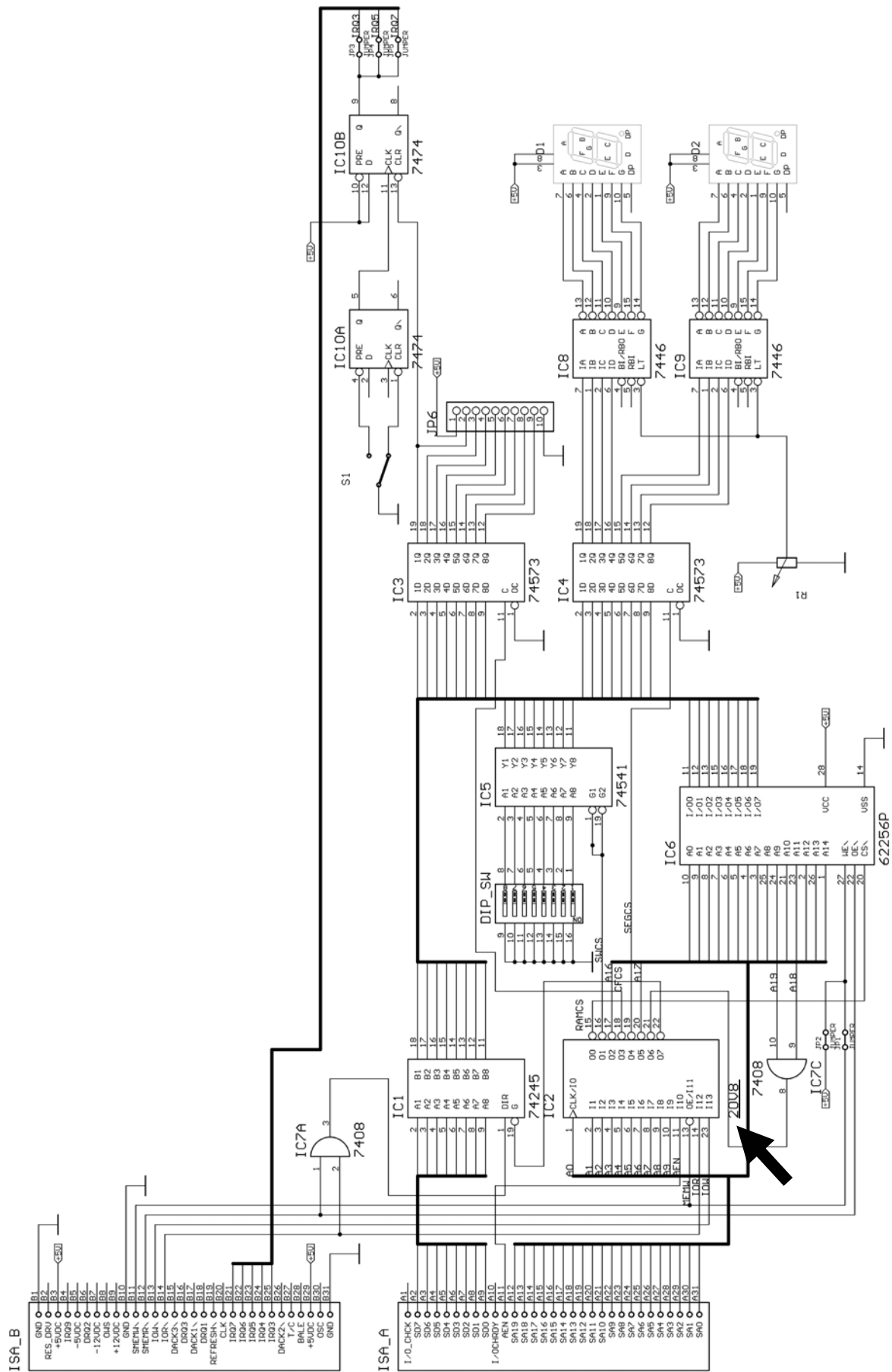
1. Seznamte se s konstrukcí cvičné zásuvné adaptérové desky do PC a zejména pak s konstrukcí adresového dekodéru.
2. Seznamte se s programovatelnou logickou součástkou GAL 20V8 (viz příložený katalogový list), způsobem jejího programování a nástrojem OrCAD PLD.
3. Navrhněte obsah adresového dekodéru na desce tak, aby všechny periferie na desce byly funkční a měly přiděleny adresy podle tabulky 1. Funkčnost periferií vhodným způsobem ověřte.
4. Modifikujte obsah adresového dekodéru na desce tak, aby registr segmentovek byl mapován do paměťového adresového prostoru na adresu 0D000 : 0000h. Zbytek periferií na desce ponechejte na původních adresách, paměť zakažte nebo přemístěte. Funkčnost vhodným způsobem ověřte.

Konstrukce desky:



Obr. 1: Blokové schéma cvičné adaptérové desky

Deska obsahuje programovatelný adresový dekodér, základní druhy vstupních a výstupních portů, paměť RAM a zdroj přerušení. Dva z portů jsou výstupní (port segmentovek a port potvrzování přerušení – na obr. 1 označen „CFG“) a jeden je vstupní, ovládaný přepínači DIP (na obr. 1 označen „DIP SW“).



Obr. 2: Detailní schéma desky

výstupní port potvrzení přerušení (na obr. 2 je to IC3)	I/O 300h (jen zápis)
výstupní port segmentovek (IC4)	I/O 301h (jen zápis)
vstupní port s přepínači DIP (IC5)	I/O 302h (jen čtení)
paměť RAM ¹ (IC6)	segment D000h

Tab. 1: Požadované rozmístění periférií v adresových prostorech

Adresový dekodér je realizován obvodem GAL20V8. Na jeho vstupy jsou přivedeny signály sběrnice ISA. Jsou to adresové linky A0–A9, A16–A19² a řídicí signály IOR/, IOW/ MEMW/a AEN/³. Výstupem adresového dekodéru jsou čtyři signály aktivující jednotlivá zařízení⁴ a signál povolující průchod dat oddělovačem datové sběrnice (na obr. 2 obvod IC1). Tento signál smí být generován jedině tehdy, pokud je některé ze zařízení na desce aktivní! V obvodu GAL tedy bude kombinační funkce, realizující dekódování adresy a řídicích signálů sběrnice ISA na signály výběru zařízení adapteru a signál „otevření“ oddělovače datové sběrnice.

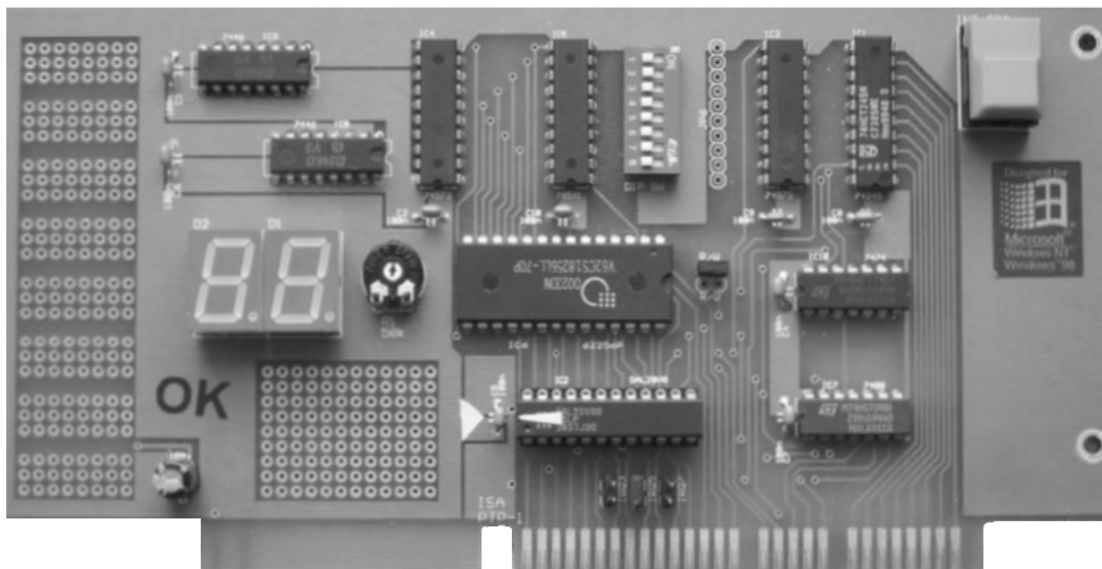
¹ Paměť RAM na desce má kapacitu 32KB. Jelikož není k dispozici adresová linka A15, je povoleno „zrcadlení“ paměti do celého segmentu.

² Pro nedostatek vstupních linek adresového dekodéru byly adresové linky A18 a A19 sloučeny pomocí logické funkce „and“ vně adresového dekodéru (v obr. 2 je to hradlo IC7C), neboť se předpokládá, že přídatná paměť na adapteru bude mapována do poslední čtvrtiny paměťového adresového prostoru (aby nekolidovala s operační pamětí), kde je pro tyto účely vyhrazeno místo. Dekodér by tedy měl vybrat paměť jen pokud je na obou posledních adresových linkách hodnota „1“.

³ Signál AEN/ je aktivní vždy, pokud jde o přístup procesoru k perifériím či paměti. Probíhá-li DMA přenos a signál IOR/ je aktivní, signál MEMW/ (zápis do paměti při použití DMA přenosů) je také aktivní a na adresové sběrnici je adresa paměti, nikoliv I/O portu. Tímto způsobem např. DMA přenáší najednou celé slovo z řadiče disku do paměti. Během takového přenosu je signál AEN/ neaktivní, a podle toho adapter pozná, že se nemá aktivovat a nabourávat přenos.

⁴ To je vstupní port s přepínači DIP, dva výstupní porty (pozor, signály zde mají funkci „zapiš data do latche“ a jsou aktivní v úrovni H) a paměť RAM. U paměti je to signál CS/, který musí být aktivní jak při čtení, tak pro zápis.

Adaptérová deska:



Postup práce:

1. Nastudování zapojení adaptérové desky a její funkce
2. Nastudování zapojení vstupů a výstupů obvodu GAL
3. Vymyšlení a zápis logické funkce realizující adresový dekodér do souboru PLD:

Vytvořte si svůj pracovní adresář P:\PLD\DESIGN\ a v něm zdrojový soubor s vaším popisem dekodéru v jazyce PLD, např. ADRDEC.PLD. Z C:\ORCAD\PLD\ si do svého adresáře P:\PLD\ okopírujte soubory ORCADPLD.OVL a PLD.EXE.

Kompletní popis jazyka OrCAD/PLD je v souboru C:\ORCAD\ORCADPLD.602. Můžete se inspirovat příklady v jazyce PLD z C:\ORCAD\PLD\DESIGN. Pokud si nebudete vědět rady použijte šablonu C:\PTP\TEMPL4.PLD

4. Překlad souboru PLD v OrCADu na JEDEC soubor pro programování do GAL:

Spuštěním programu PLD.EXE ADRDEC.PLD se popis zkompiluje a vytvoří se standardní popis obvodu ve formátu JEDEC. Pokud překlad proběhne bez chyb, vzniknou soubory:

ADRDEC.LST	protokol o překladu
ADRDEC.JED	standardní JEDEC cílový soubor pro naprogramování do GAL
ADRDEC.VEC	stimulační vektory

5. Naprogramování JEDEC souboru do GAL:

K naprogramování obvodu GAL lze použít univerzální programátor ELNEC. Pro vytažení obvodu GAL z adaptérové desky použijte zelené kleště u programátoru. Při manipulaci s obvodem GAL **postupujte opatrně a s citem**, zejména při vkládání obvodu GAL do patice **dbějte na správnou orientaci čipu**. Barevné šipka na obvodu GAL musí ukazovat na šipku na desce, viz foto výše. **Nedodržení správné orientace čipu způsobí jeho fyzické zničení!**

6. Ověření funkčnosti adresového dekodéru

Pro ověření funkčnosti adresového dekodéru vytvořte vhodný jednoduchý program, který:

- Zobrazí nějaké znaky na displeji adaptérové desky, případně bude hodnotu na displeji v cyklu inkrementovat
 - Přečte stav DIP přepínačů a vypíše na monitor PC nebo displej desky
 - Zapiše a přečte data do/z paměti RAM na adaptérové desce
- Program lze vytvořit v programovacím jazyce Pascal, Assembler či C

Obvod GAL20V8

GAL20V8 je programovatelné logické pole s možností elektrického vymazání. GAL20V8 obsahuje 14 vstupních pinů a 8 vstupně/výstupních pinů pro vytváření logických funkcí. Na adaptérové desce je GAL20V8 připojen následovně:

pin	typ pinu	připojen
I0 (pin 1)	vstupní	A0 adresy sběrnice ISA
I1 (pin 2)	vstupní	A1 adresy sběrnice ISA
I2 (pin 3)	vstupní	A2 adresy sběrnice ISA
I3 (pin 4)	vstupní	A3 adresy sběrnice ISA
I4 (pin 5)	vstupní	A4 adresy sběrnice ISA
I5 (pin 6)	vstupní	A5 adresy sběrnice ISA
I6 (pin 7)	vstupní	A6 adresy sběrnice ISA
I7 (pin 8)	vstupní	A7 adresy sběrnice ISA
I8 (pin 9)	vstupní	A8 adresy sběrnice ISA
I9 (pin 10)	vstupní	A9 adresy sběrnice ISA
I10 (pin 11)	vstupní	A10 adresy sběrnice ISA
GND (pin 12)	napájení	GND sběrnice ISA
OE/I11 (pin 13)	vstupní (invertovaný)	MEMW sběrnice ISA
I12 (pin 14)	vstupní	IOR sběrnice ISA
O0 (pin 15)	vstupně/výstupní (invertovaný)	CSRAM
O1 (pin 16)	vstupně/výstupní (invertovaný)	CSDIP
O2 (pin 17)	vstupně/výstupní (invertovaný)	A16 adresy sběrnice ISA
O3 (pin 18)	vstupně/výstupní (invertovaný)	CSCFG
O4 (pin 19)	vstupně/výstupní (invertovaný)	CSSEG
O5 (pin 20)	vstupně/výstupní (invertovaný)	A17 adresy sběrnice ISA
O6 (pin 21)	vstupně/výstupní (invertovaný)	(A18 AND A19) ISA
O7 (pin 22)	vstupně/výstupní (invertovaný)	G (připojení datové sběrnice)
I13 (pin 23)	vstupní	IOW sběrnice ISA
VCC (pin 24)	napájení	+5VDC sběrnice ISA

Signály sběrnice ISA

Pin	Název	Popis
A1	I/O CH CK/	indikace chyby z adaptéru
A2 - A9	D7 - D0	Datové bity 7 až 0
A10	I/O CH RDY/	I/O připravenost adaptéru
A11	AEN/	platnost adresy generované DMA
A12 - A31	A19 - A0	Adresové bity 19 až 0
B1	GND	Zem
B2	RESET/	resetuje adaptér
B3	+5V	Napájení +5V
B4	IRQ2	žádost o přerušení
B5	-5V	Napájení -5V
B6	DRQ2	žádost o DMA přenos
B7	-12V	Napájení -12V
B8	NOWS/	operace čtení a zápisu se provádí bez vkládání dalších čekacích taktů
B9	+12V	Napájení +12V
B10	GND	Zem
B11	SMEMW/	zápis dat do prvního MB paměti
B12	SMEMR/	čtení dat z prvního MB paměti
B13	IOW/	zápis dat do I/O adaptéru
B14	IOR/	čtení dat z I/O adaptéru
B15	DACK3/	potvrzení žádosti o DMA
B16	DRQ3/	žádost o DMA přenos
B17	DACK1/	potvrzení žádosti o DMA
B18	DRQ1/	žádost o DMA přenos
B19	REFRESH/	informace o cyklu obnovy paměti
B20	CLOCK	systemový synchronizační signál
B21 - B25	IRQ7 - IRQ3	žádost o přerušení
B26	DACK2/	potvrzení žádosti o DMA
B27	T/C	ukončení přenosu bloku DMA kanálem
B28	ALE/	interval platnosti adresových bitů LA23-LA17
B29	+5V	Napájení +5V
B30	OSC	signál o frekvenci 14.32 MHz
B31	GND	Zem

Poznámka: symbol „/“ značí negaci daného signálu, tedy např. „AEN/“ znamená, že signál AEN je aktivní v log. 0.

Konstrukce desky

1 Adresový dekodér

Jádrem adresového dekodéru je programovatelná součástka typu GAL 20V8. Na její vstupy je přivedena převážná část adresové sběrnice a několik důležitých řídicích signálů. Z těchto vstupních signálů je možné odvodit vnitřní řídicí signály adapterové desky a vybírat jimi jednotlivé obvody desky. Které signály vstupují do adresového dekodéru a které z něj vystupují ukazuje tabulka 1.

Vstupní signály adresového dekodéru	
A0–A9	adresové vodiče ISA
A16–A19	adresové vodiče ISA
IOR	řídicí vodič ISA — cyklus „čtení ze vstupního portu“
IOW	řídicí vodič ISA — cyklus „zápis na výstupní port“
MEMW	řídicí vodič ISA — cyklus „zápis do paměti“
AEN	řídicí vodič ISA — klasický cyklus řízený procesorem
Výstupní signály adresového dekodéru	
SEGCS	„chip select“ výstupního portu
CFCS	„chip select“ výstupního portu
SWCS	„chip select“ vstupního portu
RAMCS	„chip select“ paměti RAM

Tab. 1: Signály adresového dekodéru

Jak je vidět v tabulce, není z důvodů omezeného počtu vstupních pinů programovatelné součástky GAL přivedena do adresového dekodéru celá adresová sběrnice. Přivedené adresové vodiče však plně postačují pro bezkonfliktní a ve velmi širokém rozsahu relokovatelné adresování. Periferie mapované u osobních počítačů do vstupně/výstupního adresového prostoru využívají totiž pouze prvních deset adresových vodičů adresové sběrnice. Vstupně/výstupní registry umístěné na adapterové desce tak mohou být umístěny na prakticky libovolné pozici v rámci vstupně/výstupního adresového prostoru. Adapterová deska obsahuje ovšem ještě další druh zařízení — paměť RAM. Proto jsou pro přesné určení segmentu do něž bude v rámci paměťového adresového prostoru osobních počítačů přivedeny na vstupy adresového dekodéru i adresové vodiče A16–A19.

Z řídicích signálů sběrnice ISA jsou do adresového dekodéru přivedeny signály IOR, IOW, MEMW a AEN, které jsou aktivní v úrovni L. Význam signálů IOR a IOW je zřejmý. Umožňují odlišit čtecí a zápisový cyklus sběrnice ISA při přístupu k vstupně/výstupním portům na desce — zápis je možný do registru ovládajícího display a do registru potvrzení přerušení, čtení je možné z registru na jehož vstupech jsou přepínače. Signál MEMW není na vstup adresového dekodéru přiveden, jak by se mohlo na první pohled zdát, k ošetření čtecích a zápisových cyklů do paměti RAM (toto je ošetřeno z důvodů omezeného počtu vstupů programovatelné součástky vnější logikou), ale pro možnost alespoň vyzkoušet mapování výstupních portů do paměťového prostoru počítače. Tato eventualita bude zmíněna blíže v kapitole 3. Dlužno podotknout, že z důvodu omezeného počtu adresových vodičů, které jsou v dekodéru k dispozici není možné zabránit „zrcadlení“ portu ve vybraném segmentu. Signál AEN má na sběrnici ISA zvláštní význam. Signál AEN je aktivní vždy, pokud jde o přístup procesoru k periferiím či paměti. Probíhá-li DMA přenos a signál IOR je aktivní, signál MEMW (zápis do paměti při použití DMA přenosů) je také aktivní a na adresové

sběrnici je adresa paměti, nikoliv I/O portu. Tímto způsobem např. DMA přenáší najednou celé slovo z řadiče disku do paměti. Během takového přenosu je signál AEN neaktivní, a podle toho adapter pozná, že se nemá aktivovat a nabourávat přenos.

2 Vstupně/výstupní porty

Na adapterové desce jsou dva výstupní a jeden vstupní port. Všechny mají šířku 8 bitů. Na jednom z výstupních portů jsou připojeny dva sedmsegmentové displaye LED s hexadekadickými dekodéry. Tento port slouží jednak k jednoduchému ověření funkce adresového dekodéru, jednak pro demonstraci sběrnicevého cyklu „zápis na výstupní port“. Data vložená na tento port jsou v případě bezchybné funkce ihned zobrazena na displayi. Aby byla zapsaná hodnota zobrazena i po skončení sběrnicevého cyklu, je tento port realizován osmibitovým registrem typu latch (74573)[2]. Druhý výstupní port slouží jako port potvrzení/nulování žádosti o přerušení. Blíže viz odstavec 4. Čtením vstupního portu lze získat stav osmi přepínačů DIP. Jelikož informace o stavu přepínačů je relativně statická, je pro realizaci tohoto portu použit pouze třístavový budič (74541)[2].

3 Paměť RAM

Paměť RAM na desce má kapacitu 32KB. Jde o statickou paměť 32768 x 8 bitů (62256). Bylo by tedy zapotřebí přivést do adresového dekodéru ještě vodič A15 pro rozlišení poloviny segmentu, do které bude paměť mapována. Bohužel, pro tento vodič již nezbyl volný vstup adresového dekodéru a tak se paměť RAM „zrcadlí“ v obou polovinách zvoleného segmentu. Tento drobný „kosmetický“ nedostatek však nepůsobí příliš velkou újmu obecnosti zvoleného řešení. Paměť lze číst i do ní zapisovat. Řídící signály rozlišující druh sběrnicevého cyklu (a tedy tok dat z nebo do paměti) nejsou vzhledem k omezenému počtu pinů obvodu GAL generovány adresovým dekodérem, ale na řídicí vstupy paměti jsou přivedeny přímo řídicí signály sběrnice.

4 Zdroj přerušení

Zdrojem maskovatelného hardwarového přerušení (IRQ) je na navržené adapterové desce tlačítko. Toto tlačítko je pouze ošetřeno proti zákmitům. Požadavek na přerušení, generovaný stiskem tlačítka je uschován v klopném obvodu typu „D“[1]. Sběrnice ISA reaguje na hladinu „H“ na přerušovací vodiči, je třeba jako potvrzení obsluhy žádosti nulovat klopný obvod typu „D“. K tomu je určen nejnižší bit druhého výstupního portu.

Pomocí propojky na desce je možno volit různé číslo požadavku na přerušení. Na výběr je IRQ3, IRQ5 a IRQ7, omezení výběru plyne z mapy obsazení jednotlivých přerušovacích linek standardními periferiemi osobního počítače.

Aplikace

1 Adresový dekodér

Jde o čistě kombinační obvod. Vstupně/výstupní porty lze umístit prakticky na kterékoli adresy vstupně/výstupního adresového prostoru využívaného periferiemi osobních počítačů bez nebezpečí zrcadlení. Paměť je zapojena tak, že ji lze umístit na kteroukoli adresu v rámci prvního megabytu paměti, přičemž první byte paměti bude na adrese dělitelné 2^{16} . Jak bylo popsáno v odstavci 3, 32KB paměti se zrcadlí ještě jednou v rámci segmentu.

Studenti mají v rámci laboratorní úlohy za úkol navrhnout obsah a naprogramovat programovatelnou součástku GAL tak, aby všechny periferie umístěné na adapterové desce pracovaly správně. Musí si tedy uvědomit potřebné posloupnosti a kombinace řídicích signálů sběrnice a volná místa v jednotlivých adresových prostorech tak, aby nedocházelo ke kolizím. Signály, které jsou na stupech adresového dekodéru k dispozici a signály, které je třeba generovat jsou popsány v odstavci 1 a přehledně uspořádány v tabulce 1. Pro vstupně/výstupní porty je zde využit rozsah adres 300 – 302 hex. Tyto adresy jsou rezervovány pro porty prototypových desek a tudíž se zde nepředpokládají kolize. Paměť je mapována do segmentu D000 hex.

2 Vstupně/výstupní porty

Kromě obvyčejného sledování posloupnosti signálů během sběrnicevého cyklu je možno na desce umístěné porty využít několika dalšími zajímavými způsoby. Díky volné programovatelnosti téměř úplného adresového dekodéru lze port sedmsegmentových displayů mapovat na adresu 80 hexadekadicky, na kterou BIOS osobního počítače při provádění tzv. POSTu (Power On Self Test) ukládá chybové kódy problémů, které se během testů vyskytly[3]. Pokud je na této adrese k dispozici display, je možnost diagnostiky osobního počítače značně rozšířena. Studenti tak mohou v rámci laboratorní úlohy simulovat nejrůznější poruchy a sledovat reakce POSTu nejen prostřednictvím tzv. Beep kódů, ale i přímo prostřednictvím chybových kódů vysílaných na diagnostický port.

Výstupní porty lze též mapovat do paměťového adresového prostoru osobního počítače. To je umožněno přivedením signálu MEMW na vstup adresového dekodéru. Pak se kupř. port sedmsegmentových displayů ovládá standardní instrukcí MOV na rozdíl od očekávané a běžně užívané instrukce zápisu na výstupní port OUT! U počítačů třídy PC se tento způsob sice téměř nevyužívá, i když k tomu není z hlediska konstrukce žádné opodstatnění a jistě není na škodu s touto možností studenty seznámit.

Zajímavá je rovněž možnost mapovat kupř. port sedmsegmentových displayů a port s DIP přepínači na vstupu na jedinou adresu ve vstupně/výstupním adresovém prostoru. Pak se přečtením této adresy (instrukcí IN procesoru) získá stav přepínačů DIP zatímco zápisem (instrukcí OUT) se změní hodnota na displayi. Na jediné adrese mohou být tedy dva funkcí diametrálně odlišné porty odlišené adresovým dekodérem na základě typu sběrnicevého cyklu daného signály IOR/IOW. Na druhé straně může být podobné řešení vedené snahou umístit na jedinou adresu vstupní a výstupní port funkcí sice podobné, ale konstrukcí vzdálené. Takové řešení nebývá výjimkou ani u profesionálních konstrukcí. Jako příklad lze uvést datový registr sériového asynchronního komunikačního rozhraní (COM). Při zápisu datového slova k odeslání po lince je toto slovo směrováno do posuvného registru vysílače, zatímco čtecí cyklus získává data z fyzicky zcela jinde umístěného posuvného registru přijímače, byť je na adresové sběrnici v obou případech totožná adresa!

3 Paměť RAM

Využití paměti RAM umístěné na adapterové desce může být kupř. pro návrh a odladění obsahu tzv. přídavné adapter ROM. BIOS počítače hledá tzv. adapter ROMs od adresy **C800:0000h** do **E000:0000h** po **2kB** blocích podle určitých znaků a pokud ji nalezne, předá řízení programu v ní uloženému[4]. Ten je určen zejména k inicializaci HW desky na níž je ROM umístěna a podobně. Typickým případem je BIOS VGA adapteru, neboť adaptéry VGA jsou v detailech tak rozdílné, že jejich ovládání a inicializace prostřednictvím BIOSu na systémové desce by byla nerealizovatelná. Přitom inicializace se vyžaduje velmi záhy po startu počítače a tudíž je softwarovými prostředky nerealizovatelná. Dalším příkladem budiž tzv. BootROM na síťových kartách zajišťující natažení operačního systému přes lokální síť bez potřeby diskové paměti. Struktura takové paměti ROM je vidět v tabulce 2.

Offset	obsah
+0	55h
+1	Aah
+2	délka ROM v 512b blocích
+3	proveditelný kód

Tab. 2: Struktura přídavné adapter ROM

První dva bajty musí nutně být 55h a AAh, podle nich se poznává přítomnost ROM. Další bajt je délka ROM v 512b blocích. Tedy ROM s délkou 32kB bude mít zde číslo 64 (40 hex.). Za tímto bajtem může již následovat spustitelný kód. Návrat řízení BIOSu na systémové desce musí být realizován instrukcí RETF. Celý obsah ROM (vč. hlavičky) je zajištěn kontrolním součtem. Ten se počítá tak, že se sečtou všechny bajty obsahu ROM a tento součet musí být nula[5].

4 Zdroj přerušení

Zdroj přerušení byl na adapterové desce navržen proto, aby si studenti mohli ověřit způsob obsluhy HW přerušení. Je zapojen tak, aby demonstroval běžné chování zdrojů přerušení tak, jak se v praxi konstruují. Součástí úlohy je i pochopení principu potvrzování a možnosti řetězení/sdílení zdrojů přerušení na sběrnici ISA. Cílem této laboratorní úlohy je navrhnout korektní obslužnou rutinu přerušení. Zde jsou kroky, které je třeba učinit pro inicializaci obsluhy přerušení:

1. Úschova původního vektoru přerušení (nejlépe službou DOSu).
2. Nastavení nového vektoru přerušení (nejlépe službou DOSu).
3. Povolení přerušení v radiči[3].
4. Povolení přerušení v procesoru (instrukce STI).
5. Dále může program buď čekat nebo se stát rezidentním.
6. Před ukončením nebo odinstalováním rezidentu je třeba vrátit původní vektor přerušení!

Dále následuje posloupnost kroků, které musí provádět obslužná rutina přerušení:

1. Úschova ohrožených registrů, vč. segmentových — nejlépe na zásobník.
2. Nyní lze provést obsluhu — v tomto cvičném případě je dobré, aby se vyvolání obslužné rutiny nějak projevilo (pípnutí, výpis hlášení, ...).
3. Potvrzení/nulování žádosti o obsluhu na adapterové desce.
4. Potvrzení obsluhy řadiči (viz výše).
5. Obnova uschovaných registrů.

Návrat z obslužné rutiny (instrukce IRET) nebo předání řízení původní obslužné rutině (FAR JMP na uschovaný vektor).

Studenti si také musí uvědomit, která přerušovací linka je vhodná a pomocí propojky na desce ji nastavit tak, aby nedocházelo ke kolizím.

Literatura

- [1] Šnorek, M.: Standardní rozhraní PC, Grada, Praha 1992, 246 pp.
- [2] Philips Data handbook, Integrated circuits – TTL Logic series, 1984
- [3] Vrátil, Z.: IBM PC XT+AT, Assembler, BIOS, Gethon 1991
- [4] Vrátil, Z.: IBM PC XT+AT, Architektura PC AT, Gethon 1991
- [5] IBM PC AT Technical Reference Manual, IBM corp., 1985

PEEL™ 20V8 -15/-25

CMOS Programmable Electrically Erasable Logic Device

Features

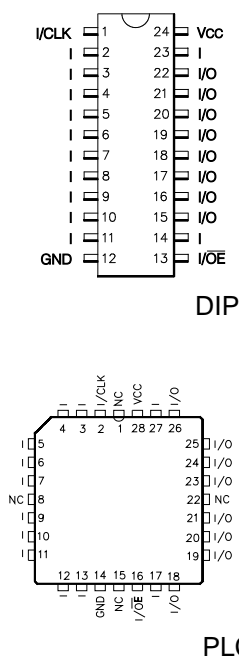
- **Compatible with Popular 20V8 Devices**
 - 20V8 socket and function compatible
 - Programs with standard 20V8 JEDEC file
 - 24-pin DIP/SOIC, 28-pin PLCC packages
- **CMOS Electrically Erasable Technology**
 - Superior factory testing
 - Reprogrammable in plastic package
 - Reduces retrofit and development costs
- **Application Versatility**
 - Replaces random logic
 - Super-sets standard 24-pin PLDs (PALs)
- **I_{cc}**
 - 20mA typical I_{cc}
- **Development/Programmer Support**
 - Third party software and programmers
 - ICT PLACE Development Software and PDS-3 programmer
 - Automatic programmer translation and JEDEC file translation software available for the most popular PAL devices

General Description

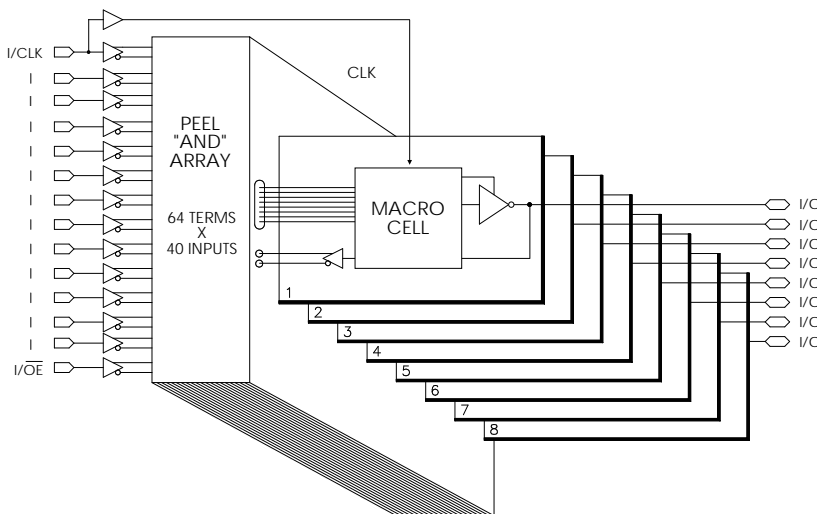
The PEEL20V8 is a Programmable Electrically Erasable Logic (PEEL) device providing an attractive alternative to ordinary PLDs. The PEEL20V8 offers the performance, flexibility, ease-of-design and production practicality needed by logic designers today. The PEEL20V8 is available in 24-pin DIP and PLCC packages (see Figure 1) with speeds ranging from 15ns to 25ns and power consumption as low as 20mA. EE-reprogrammability provides the convenience of instant reprogramming for development and a reusable production inventory minimizing the impact of programming changes or errors. EE-reprogrammability also improves factory testability, thus ensuring the highest quality possible.

The PEEL20V8 is socket and function compatible with other 20V8 devices. Its architecture allows it to replace many standard 24-pin PALs. See Figure 2. ICT's PEEL20V8 can be programmed with any existing 20V8 JEDEC file. Some programmers also allow the PEEL20V8 to be programmed directly from PAL 20L8, 20R4, 20R6 and 20R8 JEDEC files. Additional development and programming support for the PEEL20V8 is provided by popular third-party programmers and development software. ICT also offers free PLACE development software and a low-cost development system (PDS-3).

Pin Configuration (Figure 1)



Block Diagram (Figure 2)



Functional Description

The PEEL20V8 implements logic functions as sum-of-products expressions in a programmable-AND/fixed-OR logic array. User-defined functions are created by programming the connections of input signals into the array. User-configurable output structures in the form of macrocells further increase logic flexibility.

Architecture Overview

The PEEL20V8 features fourteen dedicated input pins and eight I/O pins, which allow a total of up to 20 inputs and 8 outputs for creating logic functions. At the core of the device is a programmable electrically-erasable AND array which drives a fixed OR array. With this structure the PEEL20V8 can implement up to 8 sum-of-products logic expressions.

Associated with each of the eight OR functions is a macrocell which can be independently programmed to one of up to four different basic configurations: active-high or active-low registered logic output (with registered feedback) or active-high or active-low combinatorial logic output (with I/O pin feedback).

Three different device modes: Simple, Complex and Registered, support various user configurations. In Simple mode, a macrocell can be configured for combinatorial function with the output buffer permanently enabled, or the output buffer can be disabled and the I/O pin used as a dedicated input. In Complex mode a macrocell is configured for combinatorial function with the output buffer enable controlled by a product term. In Registered mode, a macrocell can be configured for registered operation with the register clock and output buffer enable controlled directly from pins, or can be configured for combinatorial function with the output buffer enable controlled by a product term. In most cases, the device mode is set automatically by the development software based on the features specified in the design.

The three device modes support designs created explicitly for the PEEL20V8, as well as designs created originally for popular PAL devices such as the 20R4, 20R8 and 20L8. Table 1 shows the device mode used to emulate the various PALs. Design conversion into the 20V8 is accommodated by several programmers which can read the original PAL JEDEC file and automatically program the 20V8 to perform the same function.

AND/OR Logic Array

The programmable AND array of the PEEL20V8 is formed by input lines intersecting product terms. The input lines and product terms are used as follows:

40 input lines:

24 input lines carry the true and complement of the signals applied to the 12 dedicated input pins

16 additional lines carry the true and complement of 8 macrocell feedback signals or inputs from I/O pins or the clock/OE pins

64 product terms:

56 product terms (arranged in 8 groups of 7) form sum-of-product functions for macrocell combinatorial or registered logic

8 product terms (arranged 1 per macrocell) add an additional product term for macrocell sum-of-products functions or I/O pin output enable control

At each input-line/product-term intersection there is an EEPROM memory cell which determines whether or not there is a logical connection at that intersection. Each product term is essentially a 32-input AND gate. A product term which is connected to both the true and complement of an input signal will always be FALSE and thus will not affect the OR function that it drives. When all the connections on a product term are opened, that term will always be TRUE.

When programming the PEEL20V8, the device programmer first performs a bulk erase to remove the previous pattern. The erase cycle opens every logical connection in the array. The device is configured to perform the user-defined function by programming selected connections in the AND array. (Note that PEEL device programmers automatically program at least one pair of complementary inputs on unused product terms so that they will have no effect on the output function.)

Table 1. PEEL20V8/PAL Device Compatibility

PAL Architecture	
Compatibility	PEEL20V8
Device Mode	
14H8	Simple
14L8	Simple
14P8	Simple
16H6	Simple
16L6	Simple
16P6	Simple
18H4	Simple
18L4	Simple
18P4	Simple
20H2	Simple
20L2	Simple
20P2	Simple
20H8	Complex
20L8	Complex
20P8	Complex
20R4	Registered
20R6	Registered

20R8	Registered
20RP4	Registered
20RP6	Registered
20RP8	Registered

Programmable Macrocell

The macrocell provides complete control over the architecture of each output. The ability to configure each output independently permits users to tailor the configuration of the PEEL20V8 to the precise requirements of their designs.

Macrocell Architecture

Each macrocell consists of an OR function, a D-type flip-flop, an output polarity selector and a programmable feedback path. Four EEPROM architecture bits MS0, MS1, OP and RC control the configuration of each macrocell. Bits MS0 and MS1 are global, and select between Simple, Complex and Registered mode for the whole device. Bits OP and RC are local for each macrocell; bit OP controls the output polarity and bit RC selects between registered and combinatorial operation and also specifies the feedback path. Table 2 shows the architecture bit settings for each possible configuration.

Equivalent circuits for the possible macrocell configurations are illustrated in Figures 3, 4 and 5. When creating a PEEL device design, the desired macrocell configuration generally is specified explicitly in the design file. When the design is assembled or compiled, the macrocell configuration bits are defined in the last lines of the JEDEC programming file.

Simple Mode

In Simple mode, all eight product terms feed the OR array which can generate a purely combinatorial function for the output pin. The programmable output polarity selector allows active-high or active-low logic, eliminating the need for external inverters. For output functions, the buffer can be permanently enabled. Feedback into the array is available on all macrocell I/O pins, except for DIP/SOIC pins 18 and 19 (PLCC pins 21 and 23). Figure 6 shows the logic array of the PEEL20V8 configured in Simple mode.

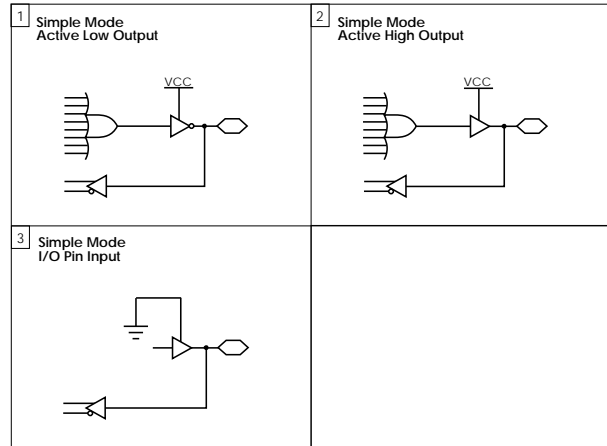


Figure 3. Macrocell Configurations for the Simple Mode of the PEEL20V8

Table 2. PEEL20V8 Device Mode/Macrocell Architecture Configuration Bits

Config. #	Mode	Architecture Bits				Function	Polarity	Feedback
		MS0	MS1	OP	RC			
1	Simple	1	0	0	0	Combinatorial	Active Low	I/O Pin
2	Simple	1	0	1	0	Combinatorial	Active High	I/O Pin
3	Simple	1	0	X	1	None	None	I/O Pin
1	Complex	1	1	0	1	Combinatorial	Active Low	I/O Pin
2	Complex	1	1	1	1	Combinatorial	Active High	I/O Pin
1	Registered	0	1	0	0	Registered	Active Low	Registered
2	Registered	0	1	1	0	Registered	Active High	Registered
3	Registered	0	1	0	1	Combinatorial	Active Low	I/O Pin
4	Registered	0	1	1	1	Combinatorial	Active High	I/O Pin

Simple mode also provides the option of configuring an I/O pin as a dedicated input. In this case, the output buffer is permanently disabled and the I/O pin feedback is used to bring the input signal from the pin into the logic array. This option is available for all I/O pins except pins 18 and 19 (PLCC pins 21 and 23).

Complex Mode

In Complex mode, seven product terms feed the OR array which can generate a purely combinatorial function for the output pin. The programmable output polarity selector provides active-high or active-low logic, eliminating the need for external inverters.

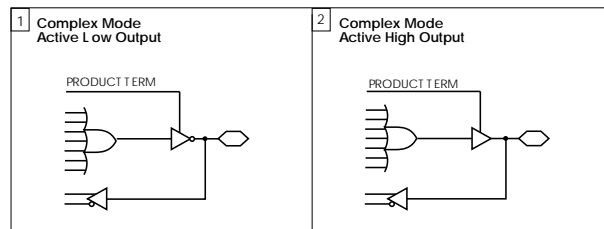


Figure 4. Macrocell Configurations for the Complex Mode of the PEEL20V8

The output buffer is controlled by the eighth product term, allowing the macrocell to be configured for input, output or bidirectional functions. Feedback into the array for input or bidirectional functions is available on all pins except DIP pins 15 and 22 (PLCC pins 18 and 26). Figure 7 shows the logic array of the PEEL20V8 configured in Complex mode.

Registered Mode

Registered mode provides eight product terms to the OR array for registered functions. The programmable output polarity selector provides active-high or active-low logic, eliminating the need for external inverters. (Note, however, that PEEL20V8 registers power-up reset and so before the first clock arrives the output at the pin will be low if the user has selected active-high logic and high if the user has selected active-low logic.) For registered functions, the output buffer enable is controlled directly from the /OE control pin. Feedback into the array comes from the macrocell register. In Registered mode, DIP input pins 1 and 13 (PLCC pins 2 and 16) are permanently allocated as CLK and /OE, respectively. Figure 8 shows the logic array of the PEEL20V8 configured in Registered mode.

Registered mode also provides the option of configuring a macrocell for combinatorial operation, with seven product terms feeding the OR function.

The programmable output polarity selector provides active-high or active-low logic. The output buffer enable is controlled by the eighth product term, allowing the macrocell to be configured for input, output or bidirectional functions. Feedback into the array

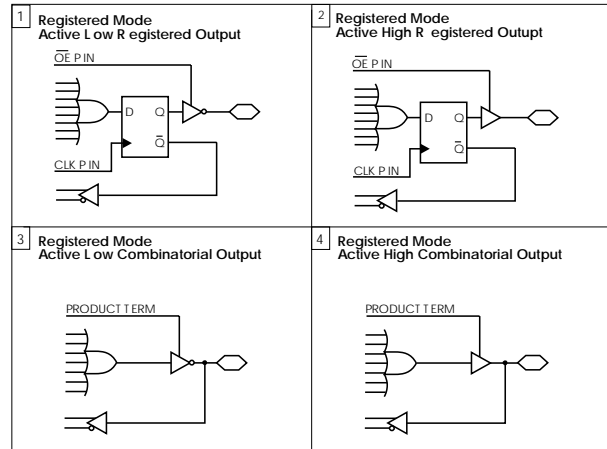


Figure 5. Macrocell Configurations for the Registered Mode of the PEEL20V8

for input or bidirectional functions is available on all I/O pins.

Input and I/O Pin Pull-ups

The input and I/O pins on this device feature pull-up circuitry. The pull-ups cause input and I/O pins to be pulled high through nominally 100k ohms.

Design Security

The PEEL20V8 provides a special EEPROM security bit that prevents unauthorized reading or copying of designs programmed into the device. The security bit is set by the PLD programmer, either at the conclusion of the programming cycle, or as a separate step after the device has been programmed. Once the security bit has been set, it is impossible to verify (read) or program the PEEL until the entire device has first been erased with the bulk-erase function.

Signature Word

The signature word feature allows a 64-bit code to be programmed into the PEEL20V8. The code cannot be read back after the security bit has been set. The signature word can be used to identify the pattern programmed into the device or to record the design revision, etc.

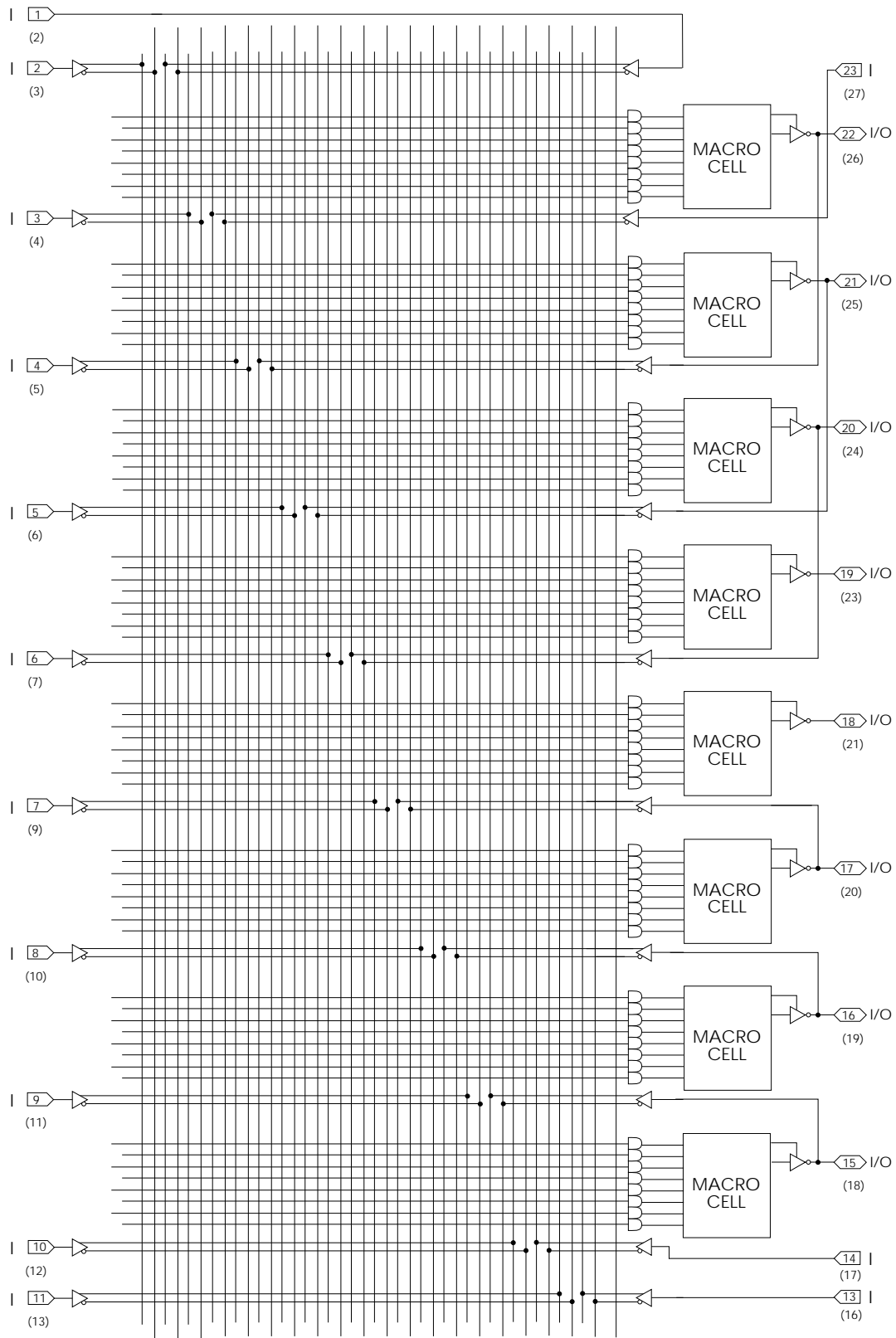


Figure 6. PEEL20V8 Logic Array - Simple Mode
 (Pin numbers is for DIP package, PLCC pin numbers shown in parentheses.)

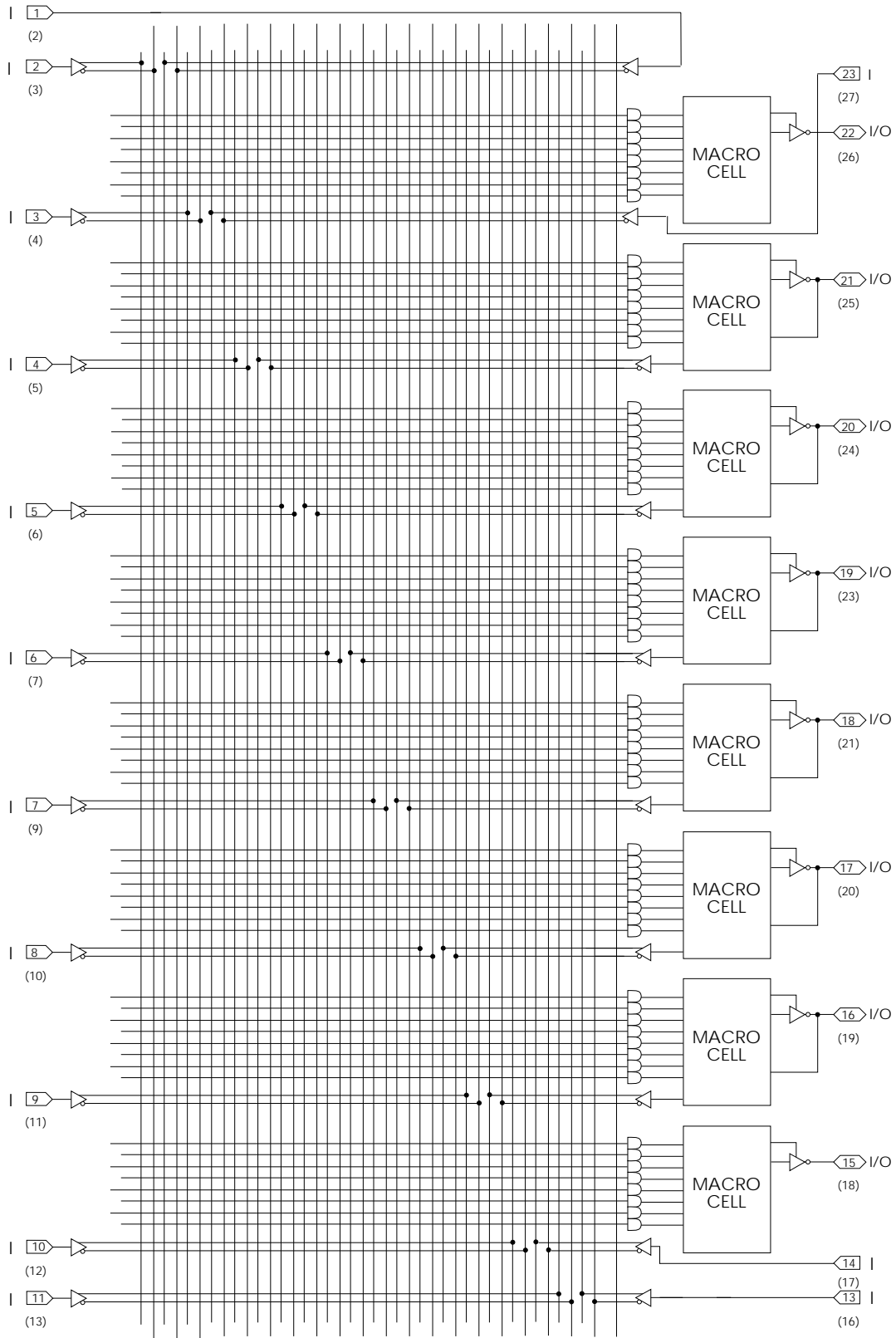


Figure 7. PEEL20V8 Logic Array - Complex Mode
 (Pin numbers is for DIP and package, PLCC pin numbers shown in parentheses.)

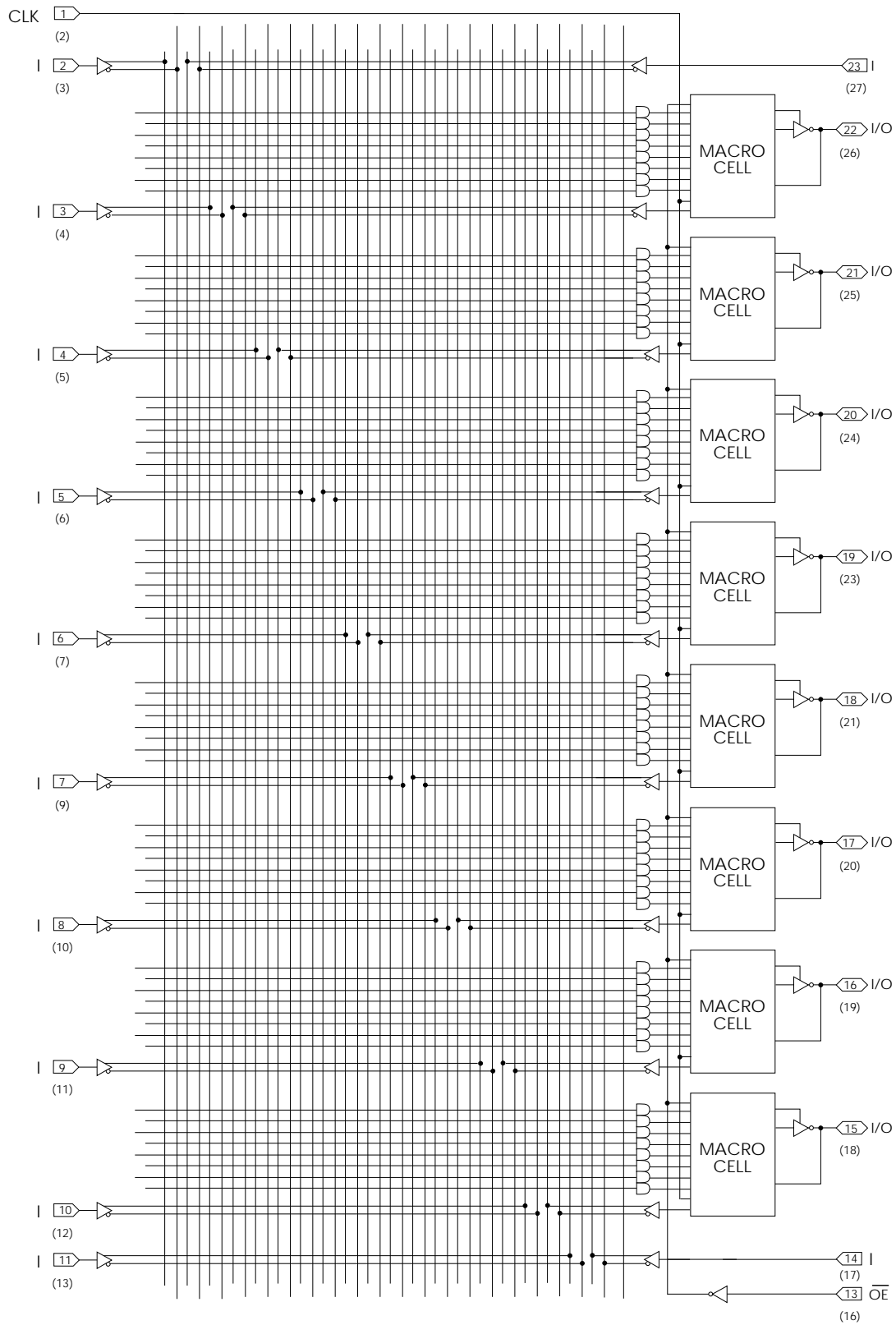


Figure 8. PEEL20V8 Logic Array - Registered Mode
 (Pin numbers is for DIP and package, PLCC pin numbers shown in parentheses.)

This device has been designed and tested for the specified operating ranges. Proper operation outside of these levels is not guaranteed. Exposure to absolute maximum ratings may cause permanent damage.

Absolute Maximum Ratings

Symbol	Parameter	Conditions	Rating	Unit
V _{CC}	Supply Voltage	Relative to Ground	-0.5 to + 7.0	V
V _I , V _O	Voltage Applied to Any Pin ²	Relative to Ground ¹	-0.5 to V _{CC} + 0.6	V
I _O	Output Current	Per pin (I _{OL} , I _{OH})	±25	mA
T _{ST}	Storage Temperature		-65 to +150	°C
T _{LT}	Lead Temperature	Soldering 10 seconds	+300	°C

Operating Ranges

Symbol	Parameter	Conditions	Min	Max	Unit
V _{CC}	Supply Voltage	Commercial	4.75	5.25	V
T _A	Ambient Temperature	Commercial	0	+70	°C
T _R	Clock Rise Time	See Note 3		20	ns
T _F	Clock Fall Time	See Note 3		20	ns
T _{RVCC}	V _{CC} Rise Time	See Note 3		250	ms

D.C. Electrical Characteristics Over the operating range

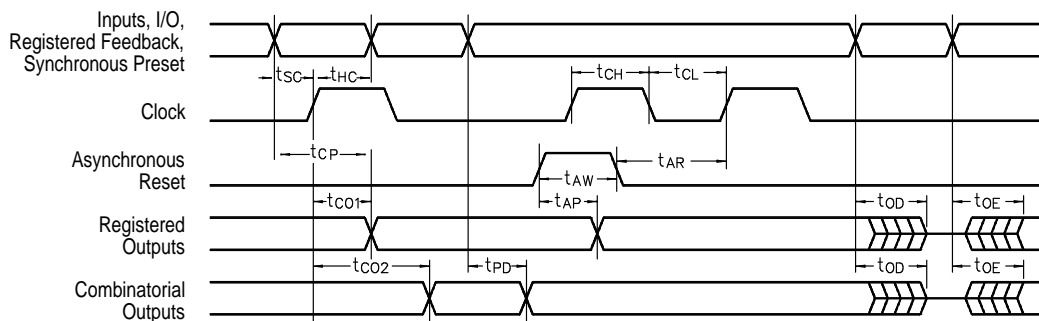
Symbol	Parameter	Conditions	Min	Max	Unit
V _{OH}	Output HIGH Voltage	V _{CC} = Min, I _{OH} = -4.0mA	2.4		V
V _{OL}	Output LOW Voltage	V _{CC} = Min, I _{OL} = 16mA		0.5	V
V _{IH}	Input HIGH Voltage		2.0	V _{CC} + 0.3	V
V _{IL}	Input LOW Voltage		-0.3	0.8	V
I _{IL}	Input and I/O Leakage Current LOW	V _{CC} = Max, V _{IN} = GND, I/O = High Z		-100	μA
I _{IH}	Input and I/O Leakage Current HIGH	V _{CC} = Max, V _{IN} = V _{CC} , I/O = High Z		10	μA
I _{SC}	Output Short Circuit Current	V _{CC} = 5V, V _O = 0.5V ⁹ , T _A = 25°C	-30	-150	mA
I _{CC} ¹⁰	V _{CC} Current	V _{IN} = 0V or 3V f = 25MHz All outputs disabled ⁴	-15	30 (typ)	mA
			25	20 (typ)	
C _{IN} ⁷	Input Capacitance	T _A = 25°C, V _{CC} = 5.0V @ f = 1MHz		6	pF
C _{OUT} ⁷	Output Capacitance			12	pF

A.C. Electrical Characteristics

Over the Operating Range ^{8, 11}

Symbol	Parameter	-15		-25		Unit
		Min	Max	Min	Max	
t _{PD}	Input ⁵ to non-registered output	3	15	3	25	ns
t _{OE}	Input ⁵ to output enable ⁶		15		20	ns
t _{OD}	Input ⁵ to output disable ⁶		15		20	ns
t _{CO1}	Clock to output	2	10	2	12	ns
t _{CO2}	Clock to comb. output delay via internal registered feedback		25		35	ns
t _{CF}	Clock to Feedback		8		10	ns
t _{SC}	Input ⁵ or feedback setup to clock	12		15		ns
t _{HC}	Input ⁵ hold after clock	0		0		ns
t _{CL} , t _{CH}	Clock low time, clock high time ⁸	8		12		ns
t _{CP}	Min clock period Ext (t _{SC} + t _{CO1})	22		27		ns
f _{MAX1}	Internal Feedback (1/t _{SC} +t _{CF}) ¹²	50		40		MHz
f _{MAX2}	External Feedback (1/t _{CP}) ¹²	45.5		37		MHz
f _{MAX3}	No Feedback (1/t _{CL} +t _{CH}) ¹²	62.5		41.6		MHz
t _{AW}	Asynchronous Reset pulse width	15		25		ns
t _{AP}	Input ⁵ to Asynchronous Reset		15		25	ns
t _{AR}	Asynchronous Reset recovery time		15		25	ns
t _{RESET}	Power-on reset time for registers in clear state		5		5	μs

Switching Waveforms



Notes

1. Minimum DC input is -0.5V, however inputs may undershoot to -2.0V for periods less than 20ns.
2. V_I and V_O are not specified for program/verify operation.
3. Test points for Clock and V_{CC} in t_R, t_F are referenced at 10% and 90% levels.
4. I/O pins are 0V or 3V.
5. "Input" refers to an Input pin signal.
6. t_{OE} is measured from input transition to V_{REF} ± 0.1V, t_{OD} is measured from input transition to V_{OH} - 0.1V or V_{OL} + 0.1V; V_{REF} = V_L see test loads in Section 6 of the 1995/1996 Data Book.
7. Capacitances are tested on a sample basis.
8. Test conditions assume: signal transition times of 3ns or less from the 10% and 90% points, timing reference levels of 1.5V (unless otherwise specified).
9. Test one output at a time for a duration of less than 1 sec.
10. ICC for a typical application: This parameter is tested with the device programmed as an 8-bit Counter.
11. PEEL Device test loads are specified in Section 6 of the 1995/1996 Data Book.
12. Parameters are not 100% tested. Specifications are based on initial characterization and are tested after any design or process modification which may affect operational frequency.

Ordering Information

PART NUMBER	SPEED	TEMPERATURE	PACKAGE
PEEL20V8P-15	15ns	C	P24
PEEL20V8J-15	15ns	C	J28
PEEL20V8P-25	25ns	C	P24
PEEL20V8J-25	25ns	C	J28

Part Number

