

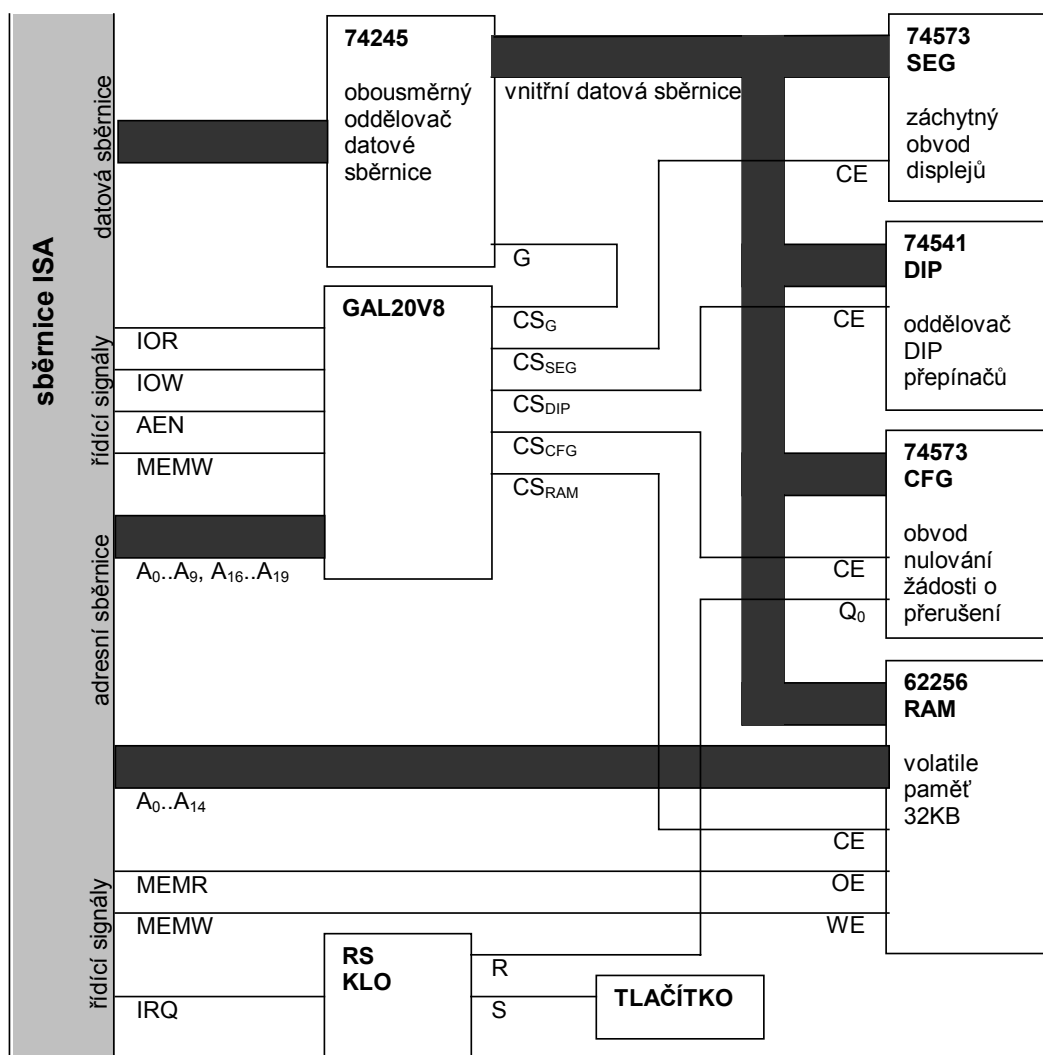
Fakulta informačních technologií VUT v Brně Ústav informatiky a výpočetní techniky	<h1>5</h1>
Personální počítače, technická péče – cvičení	
Přerušení na PC	

Zadání

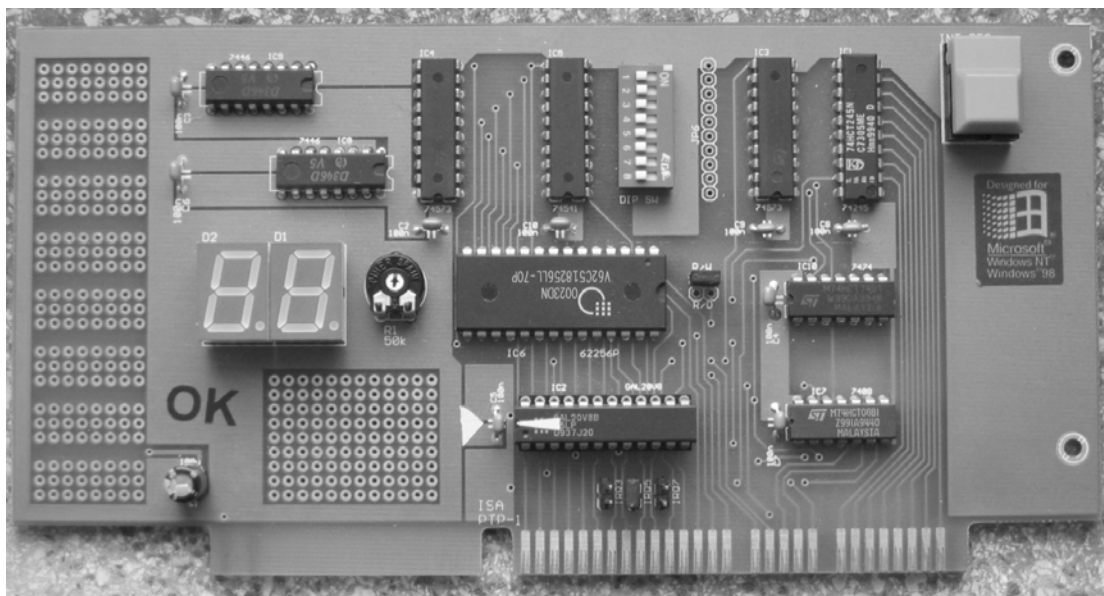
Seznamte se s konstrukcí cvičné zásuvné adaptérové desky do PC, zejména pak s konstrukcí generátoru přerušení.

Vytvořte a odladte rezidentní program včetně obslužné rutiny hardwarového přerušení, který bude vhodným způsobem demonstrovat událost příchodu přerušení z adaptérové desky.

Blokové schéma adaptérové desky



Adaptérová deska



Adaptérová deska ISA¹ obsahuje následující:

- programovatelný adresový dekodér (GAL20V8²)
- paměť RAM (32KB, 32768×8b, IO 62256)
- vstupní port DIP spínačů
- výstupní port LED segmentového displeje
- výstupní port potvrzení hardwarového přerušení
- tlačítko pro generování hardwarového přerušení

Výstupní port potvrzování hardwarového přerušení je na adrese 300h, výstupní port LED segmentového displeje má adresu 301h, vstupní port DIP spínačů má adresu 302h. Paměť RAM je v segmentu D000h.

Adresový dekodér

Jádrem adresového dekodéru je programovatelná součástka typu GAL20V8. Na její vstupy je přivedena část adresové sběrnice a několik řídicích signálů. Z přivedených signálů je možné odvodit vnitřní řídicí signály adaptérové desky a vybírat jimi jednotlivé obvody desky.

Vstupní signály		Výstupní signály	
A ₀ -A ₉	adresové vodiče	CS _{SEG}	aktivace LED displeje
A ₁₆ -A ₁₉	adresové vodiče	CS _{CFG}	aktivace potvrzování
IOR	čtení ze vstupního portu	CS _{DIP}	aktivace DIP spínačů
IOW	zápis na výstupní port	CS _{RAM}	aktivace paměti
MEMW	zápis do paměti		
AEN	„address enable“		

¹ ISA = Industry Standard Architecture, 16bitová sběrnice pro PC AT, navržena v roce 1984

² programovatelné logické pole, EEPROM

Z důvodů omezeného počtu vstupů programovatelné součástky GAL20V8 přivedena do adresového dekodéru celá adresová sběrnice. Přivedené adresové vodiče postačují pro bezkonfliktní adresování. Periferie mapované u osobních počítačů do V/V³ adresového prostoru využívají totiž pouze prvních deset adresových vodičů adresové sběrnice.

Protože adaptérová deska obsahuje i paměť RAM, jsou na vstup adresového dekodéru přivedeny i adresové vodiče A₁₆ až A₁₉.

Z řídicích signálů sběrnice ISA jsou do adresového dekodéru přivedeny signály IOR, IOW, MEMW a AEN, které jsou aktivní v úrovni L. Signály IOR a IOW odlišují čtecí a zápisový cyklus sběrnice ISA při přístupu k V/V portům na desce – zápis je možný do registru ovládajícího display a do registru potvrzení přerušení, čtení je možné z registru na jehož vstupech jsou přepínače.

Signál MEMW není na vstup adresového dekodéru přiveden, jak by se mohlo na první pohled zdát, k ošetření čtecích a zápisových cyklů do paměti RAM, ale pro možnost alespoň vyzkoušet mapování výstupních portů do paměťového prostoru počítače.

Signál AEN je aktivní vždy, pokud jde o přístup procesoru k periferiím či paměti. Probíhá-li DMA přenos, je signál AEN neaktivní, adaptér se neaktivuje a tím není DMA narušen.

Výstupní signály CS_x slouží jako aktivační signály pro jednotlivé komponenty adaptérové desky.

Vstupně/výstupní (V/V) porty

Na adaptérové desce jsou dva výstupní a jeden vstupní port. Všechny mají šířku osm bitů.

Na výstupním portu na adrese 301h jsou připojeny dva sedmisegmentové displeje LED s šestnáctkovými dekodéry. Tento port slouží jak k jednoduchému ověření funkce adresového dekodéru, tak i k demonstraci sběrnicového cyklu „zápis na výstupní port“. Data vložená na tento port jsou ihned zobrazena na displeji. Aby byla zapsaná hodnota zobrazena i po skončení sběrnicového cyklu, je tento port realizován osmibitovým registrem typu latch 74573.

Druhý výstupní port na adrese 300h slouží jako port potvrzení (nulování) žádosti o přerušení. Krátkým nastavením nejnižšího bitu portu na hodnotu 0 se asynchronně vynuluje vzniklá žádost o přerušení. Poté se nejnižší bit portu musí nastavit opět do 1.

Čtením vstupního portu na adrese 302h lze získat stav osmi přepínačů DIP. K realizaci tohoto portu použít pouze třístavový budič 74541.

Paměť RAM

Paměť RAM na desce má kapacitu 32KB. Jde o statickou paměť 32768×8 bitů (62256).

Paměť lze číst i do ní zapisovat. Řídicí signály rozlišující druh sběrnicového cyklu (a tedy tok dat z nebo do paměti) jsou přivedeny přímo jako řídicí signály sběrnice ISA.

Vzhledem k tomu, že adresový vodič A₁₅ není do adresového dekodéru zapojen, je paměť „zrcadlena“ v obou polovinách 64KB segmentu.

³ V/V = vstupně/výstupní, v anglické literatuře input/output, I/O

Zdroj přerušení

Zdrojem maskovatelného hardwarového přerušení (IRQ) je tlačítko, které je ošetřeno proti zákmitům. Požadavek na přerušení, generovaný stiskem tlačítka je uschován v klopném obvodu typu **D**. Sběrnice ISA reaguje na hladinu **H** na přerušovací vodiči, proto je potřeba jako potvrzení obsluhy žádosti nulovat klopný obvod. K tomu je určen nejnižší bit druhého výstupního portu.

Pomocí propojky na desce je možno volit různé číslo požadavku na přerušení. Na výběr je IRQ 3, 5 a 7. Omezení výběru plyne z mapy obsazení jednotlivých přerušovacích linek standardními periferiemi osobního počítače.

Obvod GAL20V8

GAL20V8 je programovatelné logické pole s možností elektrického vymazání. GAL20V8 obsahuje 14 dedikovaných vstupních portů a 8 vstupně/výstupních portů pro vytváření logických funkcí. Na desce je GAL20V8 připojen následovně:

pin	typ pinu	připojen
I ₀ (pin 1)	vstupní	A ₀ adresy sběrnice ISA
I ₁ (pin 2)	vstupní	A ₁ adresy sběrnice ISA
I ₂ (pin 3)	vstupní	A ₂ adresy sběrnice ISA
I ₃ (pin 4)	vstupní	A ₃ adresy sběrnice ISA
I ₄ (pin 5)	vstupní	A ₄ adresy sběrnice ISA
I ₅ (pin 6)	vstupní	A ₅ adresy sběrnice ISA
I ₆ (pin 7)	vstupní	A ₆ adresy sběrnice ISA
I ₇ (pin 8)	vstupní	A ₇ adresy sběrnice ISA
I ₈ (pin 9)	vstupní	A ₈ adresy sběrnice ISA
I ₉ (pin 10)	vstupní	A ₉ adresy sběrnice ISA
I ₁₀ (pin 11)	vstupní	A ₁₀ adresy sběrnice ISA
GND (pin 12)	napájení	GND sběrnice ISA
OE/I ₁₁ (pin 13)	vstupní (invertovaný)	MEMW sběrnice ISA
I ₁₂ (pin 14)	vstupní	IOR sběrnice ISA
O ₀ (pin 15)	vstupně/výstupní (invertovaný)	CS _{RAM}
O ₁ (pin 16)	vstupně/výstupní (invertovaný)	CS _{DIP}
O ₂ (pin 17)	vstupně/výstupní (invertovaný)	A ₁₆ adresy sběrnice ISA
O ₃ (pin 18)	vstupně/výstupní (invertovaný)	CS _{CFG}
O ₄ (pin 19)	vstupně/výstupní (invertovaný)	CS _{SEG}
O ₅ (pin 20)	vstupně/výstupní (invertovaný)	A ₁₇ adresy sběrnice ISA
O ₆ (pin 21)	vstupně/výstupní (invertovaný)	(A ₁₈ AND A ₁₉) ISA
O ₇ (pin 22)	vstupně/výstupní (invertovaný)	G (připojení datové sběrnice)
I ₁₃ (pin 23)	vstupní	IOW sběrnice ISA
V _{CC} (pin 24)	napájení	+5VDC sběrnice ISA

Přerušovací systém PC

Na PC/AT je 15 linek hardwarového přerušení (IRQ) zapojených přes dva kaskádně spojené řadiče přerušení typu 8259. HW přerušení jsou mapována do 256ti vektorů přerušení (INT) procesorů Intel řady x86 podle následující tabulky:

IRQ	INT	popis
IRQ0	8	timer (55ms intervals, 18.2 per second)
IRQ1	9	keyboard service required
IRQ2	A	slave 8259 or EGA/VGA vertical retrace
IRQ8	70	real time clock
IRQ9	71	software redirected to IRQ2
IRQ10	72	reserved
IRQ11	73	reserved
IRQ12	74	mouse interrupt
IRQ13	75	numeric coprocessor error
IRQ14	76	fixed disk controller
IRQ15	77	reserved
IRQ3	B	COM2 or COM4 service required
IRQ4	C	COM1 or COM3 service required
IRQ5	D	fixed disk or data request from LPT2
IRQ6	E	floppy disk service required
IRQ7	F	data request from LPT1

První (master) řadič přerušení 8259 obsluhuje IRQ0 až IRQ7, druhý (slave, u modelů AT) pak IRQ8-15. Řadiče jsou zapojeny do kaskády, slave řadič je připojen na master přes IRQ2, na ně je přesměřováno IRQ9.

Každý řadič má dvě adresy v I/O prostoru. Pro řadič „master“ je to 20h a 21h, pro slave pak A0h a A1h.

Je důležité po obslužení přerušení (nejlépe na konci obslužné rutiny) poslat na port 20h číslo 20h. Tím se dá řadiči najevo, že obsluha přerušení je u konce a může se tudíž vyvolat další.

Povolení či zakázání některé linky žádosti o přerušení se děje modifikací příslušného bitu na portu 21h. Má-li být přerušení povoleno, musí být příslušný bit nulován. Hodnoty ostatních bitů musí zůstat nezměněny!

Postup práce

Pro vytvoření obsahu programovatelného pole GAL

1. nastudování zapojení vstupů a výstupů obvodu GAL dle detailního schématu
2. vytvoření PLD souboru s obsahem pole pro GAL
3. kompilace PLD v OrCADu na JED soubor
4. nahrání JED souboru do GAL přes programátor ELNEC (při vytahování čipu GAL použijte zelené kleště u programátoru)

Pro ověření funkcí desky je možno vytvořit následující triviální programy

1. čítání na displeji – program v cyklu zapisuje na výstupní port 301h hodnoty, které se zobrazují na displeji adaptérové desky
2. načítání stavů DIP – program v cyklu načítá hodnoty z DIP přepínačů a zobrazuje je na monitoru, případně přímo na displeji adaptérové desky

Pro vytvoření rezidentního programu, který bude obsluhovat hardwarové přerušení

1. úschova původního vektoru přerušení (nejlépe službou DOSu)
2. nastavení nového vektoru přerušení (nejlépe službou DOSu)
3. nulování „D“ klopného obvodu zápisem nuly a následně jedničky na nejnižší bit výstupního portu 300h.
4. povolení přerušení v řadiči přerušení (adresa 21h)
5. povolení přerušení v procesoru (instrukce STI)
6. dále se program stane rezidentním (služba DOSu)
7. před případným odinstalováním rezidentu je třeba vrátit původní vektor přerušení

Samotná obsluha hardwarového přerušení:

1. úschova ohrožených registrů, včetně segmentových, nejlépe na zásobník
2. samotná obsluha – v tomto cvičném případě je dobré, aby se vyvolání obslužné rutiny nějak projevilo (pípnutí, výpis hlášení)
3. potvrzení obsluhy adapteru (krátké vynulování nejnižšího bitu na portu 300h)
4. potvrzení obsluhy přerušení řadiči přerušení
5. obnova uschovaných registrů
6. návrat z obslužné rutiny (instrukce IRET) nebo lépe předání řízení původní obslužné rutině (FAR JMP na uschovaný vektor)

Použitelný software na PC

Volkov commander (vc) nebo Norton commander (nc)

Turbo Pascal 7 (compiler + IDE)

Turbo Assembler a Tlink

OrCAD (PLD)