

Popis Prototypu mikrosondy (uSondy) pro monitorování IPv6 provozu

Brno, 2015

HW platforma

Na rozdíl od první varianty [1] je tento prototyp založen na zakoupené komerční vývojové platformě **ZE7000** od švýcarské společnosti NetModule [2].



Obrázek 1: ZE7000 Platforma

V době vývoje druhé varianty mikrosondy je to jediná dostupná platforma, která kombinuje výkonný čip Xilinx Zynq [3] spolu s několika (až 4) metalickými Ethernetovými konektory připojenými přímo k FPGA části čipu. Připojení přímo k FPGA je nezbytné, tak jako i u první varianty mikrosondy, pro zpracování síťových paketů na plné rychlosti linky beze ztráty jediného paketu. Pátý samostatný metalický Ethernetový konektor je připojen k ARM procesoru na čipu, a jak je uvedeno dále, slouží zejména pro vzdálenou správu.

Xilinx Zynq je na platformě ZE7000 dostupný na samostatném tzv. So-Dimm modulu Mars ZX3 od švýcarské společnosti Enclustra [4], čímž je zabezpečené jednoduchá výměna v případě poruchy.



Obrázek 2: Mars ZX3 modul se Xilinx Zynq

K platformě ZE7000 je využíván samostatný 24 V zdroj o výkonu 24 W. Např. od společnosti Sunny [5] je možné použít typ SYS1308-2424-W2E po vhodném upravení koncovek.

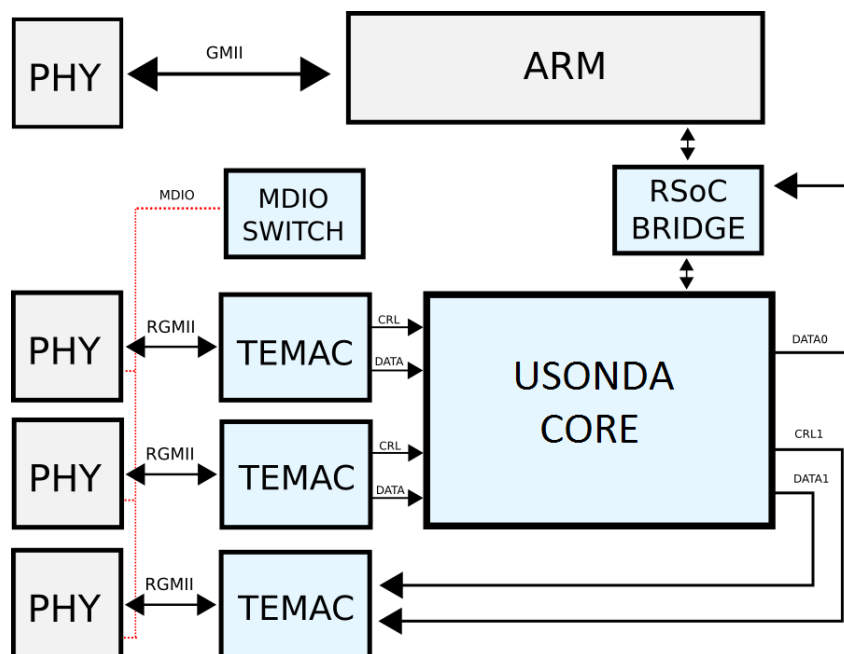


Obrázek 3: Zdroj pro uSonda

Pro platformu ZE7000 byl vyvinut FPGA firmware, který je použit v programovatelné části čipu Xilinx Zynq. Naopak v procesorové části čipu, konkrétně na procesoru ARM Cortex-A9, běží operační systém Linuxového typu s dalším software.

FPGA firmware

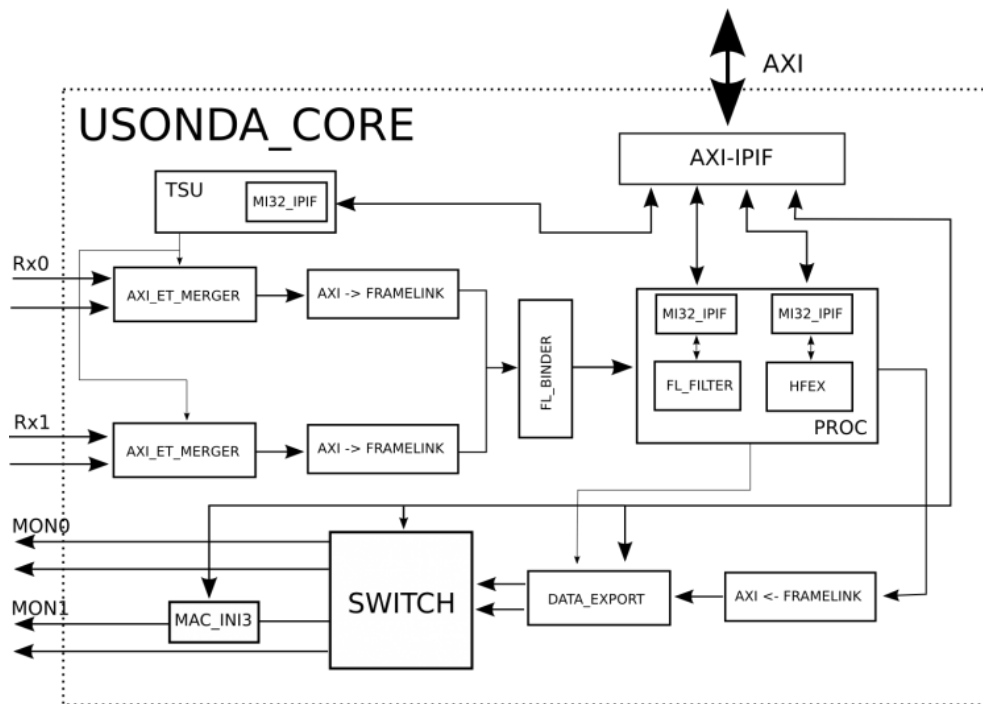
FPGA firmware (spolu s napojením na okolí) je vyobrazen (modře) na následujícím obrázku:



Obrázek 4: FPGA firmware

Tři síťová rozhraní jsou přivedeny skrz RGMII rozhraní přímo do FPGA, kde je zpracována MAC vrstva Ethernetu pomocí licencovaného IP Core Xilinx TEMAC [6], konkrétně ve verzi

AXI 1G/2.5G Ethernet Subsystem 7.0. Výstupy (kontrolní a datový proud) dvou z těchto portů jsou přivedeny do procesní jednotky USONDA_CORE. Toto IP Core je vyobrazeno na následujícím obrázku:



Obrázek 5: Jádru firmware uSondy

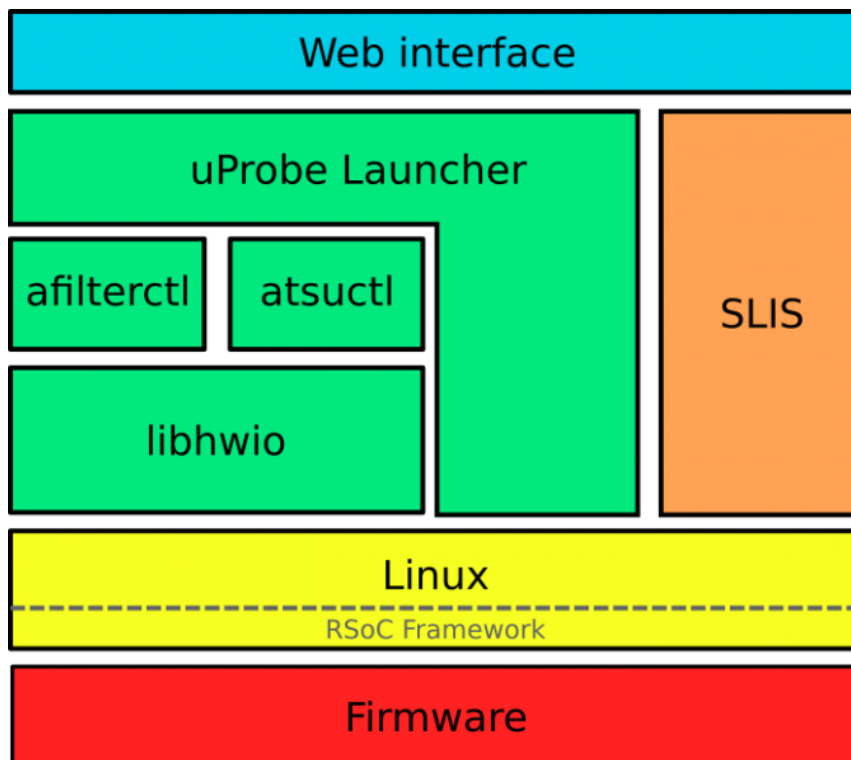
Tady jsou vstupní síťové pakety označeny časovou značkou (IP Core TSU a AXI_ET_MERGER) a dále převedeny z protokolu AXI na Framelink a dále spojeny v jeden tok (IP Core FL_BINDER). Následně jsou pakety zpracovány a odfiltrovány dle nastavených parametrů ze software v procesní lince (PROC). Vybrané pakety jsou dále převedeny skrz IP Core DATA_EXPORT (pokud je přítomen) na export pomocí IPv4/IPv6 UDP dle konfigurace ze software. Paketům je také přidán INI3 rámec a to buď předřazením nebo vložením do MAC adresy. Opět na základě konfigurace ze software.

Na závěr jsou vyfiltrované pakety odeslány na výstupní port skrz TEMAC jednotku nebo také do software na další zpracování a např. odeslání skrz konfigurační port (připojen skrz GMII rozhraní připojené k procesoru ARM).

FPGA firmware se zavádí automaticky po startu uSondy.

Softwarové vybavení

Software uSondy se skládá z několika vrstev jak je vyobrazeno:



Obrázek 6: Software vrstvy uSondy

Nejnižší vrstva je operační systém Linux 3.9.0 s patchi od společnosti Xilinx. Součástí operačního systému jsou ovladače pro RSoC framework, který je součástí firmwaru (konkrétně RSoC Bridge). Pro přístup k firmwaru je k dispozici knihovna HWIO [7]. Slouží k rozpoznání dostupných hardwarových jednotek a umožňuje přistupovat k jejich adresovému prostoru. Informace o firmwaru jsou vyčítány z adresáře /proc/device-tree, který generuje Linuxové jádro na základě informací z Device Tree Blob. K tomu slouží knihovna Dtree [8].

Nad knihovnami jsou vystavěny programy, které konfigurují komponenty ve firmwaru:

- afilterctl - konfigurace hardwarového filtru
- atsuctl - konfigurace jednotky pro generování časových značek pro pakety a implementace NTP klienta
- cccid - řídí filtraci na základě požadavků z mediačního zařízení (příčemž mediačním zařízením může být přímo uSonda, nebo i jiný počítač)

Aplikace uProbe Launcher na základě konfiguračního souboru, který se nachází na SD kartě, provede celkové nastavení uSondy. uProbe Launcher používá pro konfiguraci výše zmíněné aplikace a v některých případech (např. při nastavení dataexportu) přistupuje přímo do registru jednotlivých komponent.

Další součástí softwaru je SLIS, který zajišťuje správu odposlechů. Přijímá požadavky na odposlech, které přichází z uživatelského rozhraní, spouští a ukončuje je v nastavenou dobu.

Uživatelské rozhraní, které je řešené formou webové stránky, na základě požadavků od uživatele upravuje konfigurační soubor pro uProbe Launcher a předává požadavky na odposlech SLISu.

Verze

Buildroot Verze: 2014-02-rc1

Kernel GIT: [git://github.com/Xilinx/linux-xlnx.git](https://github.com/Xilinx/linux-xlnx.git)

Verze: f128e2ef41bc11fcc57d2f3f8e2a3cae90410b79

Odkazy

- [1] http://www.fit.vutbr.cz/research/view_product.php?id=331
- [2] <http://www.netmodule.com/netmodule-home.html>
- [3] <http://www.xilinx.com/products/silicon-devices/soc/zynq-7000.html>
- [4] <http://www.enclustra.com/en/home/>
- [5] <http://www.sunny-euro.com/>
- [6] <http://www.xilinx.com/products/intellectual-property/temac.html>
- [7] http://www.fit.vutbr.cz/research/view_product.php?id=274
- [8] http://www.fit.vutbr.cz/research/view_product.php?id=249