

# METHODOLOGY OF RTL CIRCUIT TESTABILITY ANALYSIS

Tomáš PEČENKA, Master Degree Programme (5)  
Dept. of Computer Systems, FIT, BUT  
E-mail: xpecen01@stud.fit.vutbr.cz

Supervised by: Dr. Zdeněk Kotásek

## ABSTRACT

During early design stages design for testability (DFT) issues must be dealt with. Various methods exist which can be used to support testability of the circuit. These methods can work on different levels of circuit description. This work deals with methods of scan type that operate with circuit on the register transfer level (RTL). An attention is paid to the utilization of testable kernels to reduce test application time.

## 1 ÚVOD

Již při návrhu obvodu je potřeba se zabývat otázkami jeho testovatelnosti. Metody, které se zabývají testovatelností obvodu již při jeho návrhu se nazývají metodami návrhu pro snadné testování (metody *DFT – Design For Testability*). Tyto metody mohou pracovat na různých úrovních popisu obvodu. Tato práce se zabývá testovatelností obvodu na úrovni meziregistrových přenosů (úrovni *RTL - Register Transfer level*). Pro zajištění testovatelnosti obvodu na této úrovni je potřeba zajistit říditelnost/pozorovatelnost registrů. Nejčastěji se říditelnost/pozorovatelnost registrů zajišťuje pomocí metod typu scan.

Princip metod scan spočívá v modifikaci paměťových prvků obvodu tak, aby bylo možné pozorovat/řídít hodnoty těchto prvků. Existují dvě varianty této metody – metoda úplný a částečný scan. Tyto metody se od sebe liší způsobem výběru registrů, které budou zařazeny do registru scan. Metoda úplný scan zařazuje do registru scan všechny registry. Výhodou tohoto přístupu je zkrácení doby potřebné pro testování obvodu. Nevýhodou je vyšší složitost obvodu a tím také jeho cena. Alternativou k metodě úplný scan je metoda částečný scan. Tato metoda omezuje počet registrů, které budou zařazeny do registru scan. Výsledkem je tedy nižší složitost obvodu (oproti metodě úplný scan). Nevýhodou je naopak delší doba potřebná pro testování obvodu.

Tato práce se zabývá metodami typu částečný scan. Při úvahách nad metodami typu částečný scan se vychází z metody částečný scan, která byla publikována v [1]. Uvedená metoda minimalizuje počet registrů zařazených do registru scan. Výsledkem použití této metody je nízká cena obvodu, ale delší doba aplikace testu. Tato práce se tedy zabývá otázkou, jakým způsobem zkrátit dobu aplikace testu. Jsou navrženy modifikace této metody,

kteře vedou ke zkrácení doby potřebné pro testování obvodu. První modifikací je využití odezev na testovací vektory pro testování dalších prvků. Druhou modifikací je pak využití tzv. testovatelných jader pro zkrácení doby potřebné pro aplikaci testu.

## 2 METODY TYPU ČÁSTEČNÝ SCAN

Metody typu částečný scan omezují počet registrů, které budou zařazeny do registru scan. Například metoda uvedená v [1] k tomu používá několik technik. Jednou z nich je využití již existujících transparentních cest v obvodu (tzv. *i cest*) pro přenos diagnostické informace. Další technikou je pak přiřazení rolí (z hlediska testu) jednotlivým registrům a zkoumání vzájemného pokrytí rolí jednotlivých registrů. Výsledkem je, že do registru scan jsou vybrány jen registry, které jsou z hlediska aplikace testu nezbytné.

Nevýhodou tohoto přístupu je delší doba testování obvodu a složitější řadič testu. Z toho důvodu jsou v této práci navrženy modifikace metody částečný scan. Jejich cílem je zkrácení doby potřebné pro aplikaci testu. Jedním ze způsobů, jak tuto dobu zkrátit, je například použití testovatelných jader.

## 3 TESTOVATELNÁ JÁDRA

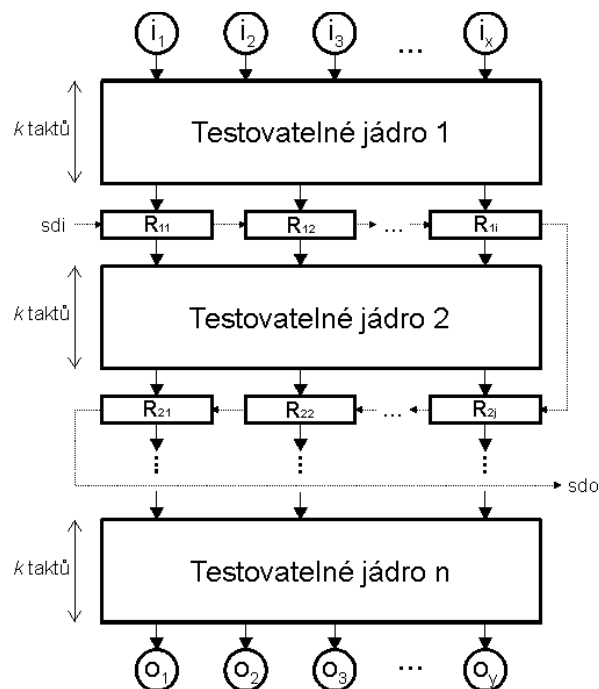
Zrychlení doby aplikace testu lze (zejména u zřetěžených obvodů) dosáhnout pomocí využití testovatelných jader. Princip této techniky spočívá v tom, že se obvod rozdělí na menší části. Tyto menší části nazýváme testovatelná jádra a musí splňovat podmínky uvedené v definici 3.1.

**Definice 3.1:** Testovatelné jádro je část obvodu, která je oddělena od ostatních částí obvodu registry nebo je připojena přímo na primární vstupy/výstupy obvodu. Může obsahovat kombinační obvody, registry a multiplexery. Všechny kombinační obvody, které testovatelné jádro obsahuje, musí být testovatelné prostřednictvím vstupů a výstupů testovatelného jádra. Žádný z registrů, který je součástí testovatelného jádra nesmí být součástí registru scan (konec definice).

Pokud v obvodě existuje více testovatelných jader musí být navíc splněny následující podmínky. Žádná dvě testovatelná jádra se nesmí vzájemně překrývat. Všechny prvky testovatelných jader v obvodu musí být řízeny stejnými hodinovými pulsy. Žádné testovatelné jádro nesmí generovat své vlastní vnitřní synchronizační pulsy. Nesmí se vyskytovat žádné zpětné vazby mezi jednotlivými jádry a také žádné zpětné vazby v rámci jednotlivých testovatelných jader. Posun dat jednotlivými testovatelnými jádry trvá stejný počet taktů

Princip rozdělení obvodu na testovatelná jádra je patrný na obrázku 1. Obvod na tomto obrázku je rozdělen na  $n$  testovatelných jader, která jsou oddělena registry. Tyto registry jsou zařazeny do registru scan. Problém testování celého obvodu se rozdělil na problém testování jednotlivých testovatelných jader. Při testování těchto jader využíváme toho, že je možné jednotlivá testovatelná jádra testovat nezávisle na sobě. Můžeme tedy současně testovat všechna testovatelná jádra v obvodu. Při tomto testování využijeme toho, že průchod dat jednotlivými testovatelnými jádry trvá stejný počet taktů. Díky tomu je možné přivést současně testovací vektory na všechna testovatelná jádra pomocí registru scan a po  $k$  taktech získat v registru scan odezvy všech testovatelných jader. Při čtení odezev z registru scan je navíc možné zároveň zapisovat další testovací vektory. Zkrácení doby testu u této metody je tedy dosaženo díky efektivnější práci s registrem scan a paralelnímu testování více

testovatelných jader současně.



**Obr. 1:** Rozdělení obvodu na testovatelná jádra

#### 4 IMPLEMENTACE

Cílem této práce je implementace původní metody částečný scan [1] a metody využívající testovatelných jader. Výsledný systém bude umožňovat analyzovat zadaný obvod a navrhnout registry, které je potřeba zařadit do registru scan. Při implementaci bude využit převaděč z jazyka VHDL do logických bloků [2].

#### 5 ZÁVĚR

Tato práce vychází z metody částečný scan uvedené v [1]. Uvedená metoda byla modifikována použitím principu tzv. testovatelných jader. Použití testovatelných jader vede ke zkrácení doby potřebné pro testování obvodu (zejména u zřetězených obvodů). Tohoto zkrácení je dosaženo díky současnému testování více testovatelných jader a efektivnější práci s registrem scan. Nevýhodou je složitější analýza obvodu a případně vyšší cena obvodu způsobená větším množstvím registrů zařazených do registru scan.

#### LITERATURA

- [1] Kotásek, Z.: Uplatnění principů říditelnosti/pozorovatelnosti při návrhu číslicových obvodů, habilitační práce, Brno, Vysoké učení technické v Brně 2000, 80 stran.
- [2] Zbořil, F.: VHDL RT Level Parser/Analyser of a Source Code, In: Proceedings of the Fourth International Scientific Conference Electronic Computers & Informatics'2000, Košice, SK, FEI TU v Košiciach 2000, s. 150-155.